

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

T. TAKAHASHI

5/7/01

#

Q64325

2

10f1

JC997 U.S. PRO

09/849362



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 5月11日

出 願 番 号

Application Number:

特願2000-138478

出 願 人

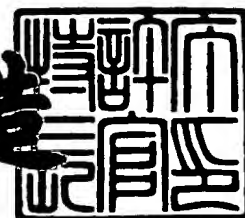
Applicant(s):

日本電気株式会社

2001年 3月23日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3023279

【書類名】 特許願

【整理番号】 47500363PY

【あて先】 特許庁長官殿

【国際特許分類】 H04Q 3/00

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 高橋 次男

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100083987

【弁理士】

【氏名又は名称】 山内 梅雄

【手数料の表示】

【予納台帳番号】 016252

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006535

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 マトリクススイッチ回路

【特許請求の範囲】

【請求項 1】 最小単位のデータとしての単位データを予め定めた個数 n だけシリアルに配列して 1 つのフレームを形成したものを、所定のフレーム数 m だけ並列に入力して、この $n \times m$ のマトリクスを同じく $n \times m$ のマトリクスで単位データを任意に組み替えるために n 個ずつ m 系統に分けられたフレームのそれぞれについて並列入力される m 個の単位データから 1 つを選択する合計で $n \times m$ 個用意された m 対 1 セレクタと、

これら $n \times m$ 個用意された m 対 1 セレクタのうちのそれぞれの系統別に分けられた m 個の m 対 1 セレクタから同時にそれぞれ選択される n 個の単位データをシリアルに配列してそれぞれ 1 つずつのフレームを m 個作成するフレーム作成手段とを具備することを特徴とするマトリクススイッチ回路。

【請求項 2】 最小単位のデータとしての単位データを予め定めた 12 個ずつシリアルに配列して 1 つのフレームを形成したものを、64 フレームだけ並列に入力して、この 12×64 のマトリクスを同じく 12×64 のマトリクスで単位データを任意に組み替えるために 12 個ずつ 64 系統に分けられたフレームのそれぞれについて並列入力される 64 個の単位データから 1 つを選択する合計で 12×64 個用意された 64 対 1 セレクタと、

これら 12×64 個用意された 64 対 1 セレクタのうちのそれぞれの系統別に分けられた 64 個の 64 対 1 セレクタから同時にそれぞれ選択される 12 個の単位データをシリアルに配列してそれぞれ 1 つずつのフレームを 64 個作成するフレーム作成手段

とを具備することを特徴とするマトリクススイッチ回路。

【請求項 3】 前記 m 対 1 セレクタからそれぞれ出力される単位データを書き込む読み出し自在な第 1 および第 2 のメモリと、これら第 1 および第 2 のメモリを単位データの書き込みが行われる周期で書き込みの行われるメモリと読み出しの行われるメモリに交互に切り替えるメモリ切替手段を具備することを特徴とする請求項 1 記載のマトリクススイッチ回路。

【請求項4】 前記単位データはSTS-1であることを特徴とする請求項1または請求項2記載のマトリクススイッチ回路。

【請求項5】 前記64対1セレクタは、それぞれ8本からなる64組のセレクタ入力線と、これと同数でこれらセレクタ入力線を一方の入力とするデータイネーブル用の2入力アンドゲートと、これらの2入力アンドゲートの出力側に配置された64入力のオアゲートと、これら2入力アンドゲートの他方の入力端子にそれぞれ1本ずつ合計64本の出力信号線を接続した6ツ-64デコーダを具備することを特徴とする請求項2記載のマトリクススイッチ回路。

【請求項6】 前記64対1セレクタは、それぞれ4本ずつからなる8組のセレクタ入力線を、合計で16グループ分だけ有したセレクタ入力線群と、このセレクタ入力線群のそれぞれのセレクタ入力線に一方の入力端子を接続した合計64個の2入力アンドゲートと、前記グループごとに4個ずつ用意されそれらの出力端子を前記合計64個の2入力アンドゲートの他方の入力端子に接続した各グループごとの2入力アンドゲートと、前記合計64個の2入力アンドゲートの各グループごとに用意されこれらの出力の4個ずつを入力して1個を選択する4ツ-1セレクタと、これら4ツ-1セレクタの各グループ1つずつの出力を入力して論理和をとり選択後の出力とする合計8個のオアゲートと、前記各グループごとの2入力アンドゲートおよび4ツ-1セレクタにアドレス情報を供給するアドレス情報供給手段を具備することを特徴とする請求項2記載のマトリクススイッチ回路。

【請求項7】 前記m対1セレクタからそれぞれ出力される単位データを書き込む第1のメモリと、この第1のメモリに書き込みの終了したデータを読み込む読み出し自在な第2のメモリと、これら第1および第2のメモリのデータの書き込みを制御するメモリ制御手段を具備することを特徴とする請求項1記載のマトリクススイッチ回路。

【請求項8】 前記m対1セレクタはFPGAセルを内蔵した構成となっていることを特徴とする請求項1記載のマトリクススイッチ回路。

【請求項9】 8×64個用意され、前記64対1セレクタに入力すべき入力データを8ビット平行で622Mbpsずつ64本に分けた単位データと

して一方の入力端子に代わって入力し、他方の入力端子に単位データの選択されるタイムスロットでのみオンとなるセクタ出力を入力する 2 入力アンドゲートを備え、これらの 2 入力アンドゲートの出力側に前記 6 4 対 1 セクタが配置されていることを特徴とする請求項 2 記載のマトリクススイッチ回路。

【請求項 1 0】 6 4 種類中の選択されているフレームの識別を行うデコーダ回路を備え、6 4 組中の順に選択される 1 2 組ずつのフレームに対応する回路部分のみを動作させ、他の 5 2 組ずつの回路部分を非動作とする消費電力制御手段を具備することを特徴とする請求項 2 記載のマトリクススイッチ回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明はたとえば光ファイバを用いたファイバリングシステムで信号の入出力を行うためのマトリクススイッチ回路に係わり、特にネットワークの規模が比較的大きな場合に有効となるマトリクススイッチ回路に関する。

【0 0 0 2】

【従来の技術】

図 2 0 は、経済的で高品質なネットワークを実現する従来のデジタルクロスコネクトシステムを表わしたものである。このデジタルクロスコネクトシステム 1 0 0 は、第 1 の局 1 0 1 ～第 4 の局 1 0 4 の間に右回りと左回り各 1 組の光ファイバ 1 0 5、1 0 6 をリング状となるように配置した第 1 の光リング 1 0 7 と、この第 1 の光リング 1 0 7 の第 4 の局 1 0 4 を共通とする第 2 の光リング 1 0 8 とから構成されている。第 2 の光リング 1 0 8 は、この例では同様に右回りと左回り各 1 組の光ファイバ 1 0 9、1 1 0 を第 4 ～第 7 の局 1 0 4、1 1 1 ～1 1 3 の間にリング状に配置している。それぞれの局 1 0 1 ～1 0 4、1 1 1 ～1 1 3 は、第 1 の局 1 0 1 で具体的に示したように、迂回パスの等の設定等を行うクロスコネクト装置 1 2 1 と、このクロスコネクト装置 1 2 1 と一般加入者側 1 2 2 の間に配置された交換機等の装置 1 2 3 から構成されている。

【0 0 0 3】

このようなデジタルクロスコネクトシステム 1 0 0 で、たとえば第 1 の局 1

01から第2の局102に左回りに光信号を伝送するパス114₁₂が断線したとする。この図に示したシステムでは、ネットワークの信頼性を高めるために右回りと左回り各1組の光ファイバ105、106が配置されている。したがってこのような断線が発生した場合には、第1の局101と第2の局102を右回りで接続するための迂回パス115₁₂の設定が行われることで、通信ラインが確保される。このように右回りと左回り各1組（合計2組）の光ファイバ105、106を用意したシステムを2ファイバリングシステムと呼ぶ。図示しないが右回りと左回りを各2組（合計4組）用意して更に信頼性を高めたシステムは、4ファイバリングシステムと呼ばれている。4ファイバリングシステムの場合にも、通信容量の変更や迂回パスの設定を行うためのデジタルクロスコネクトシステムが必要となる。

【0004】

ところで、図20に示したデジタルクロスコネクトシステム100でそれぞれの局101～104、111～113のクロスコネクト装置121は、その前提として「すべての入力とすべての出力の接続関係を、いかなる組み合わせにでも自由に設定あるいは変更することができる」とする機能が必要である。一般的にはこのような機能をデジタルLSIで実現している。この明細書では、このような機能を実現するLSIをマトリクススイッチLSIと呼ぶことにする。

【0005】

近時、ネットワークの規模が飛躍的に増大している。これに伴って、マトリクススイッチLSIの大容量化が求められている。このような背景でマトリクススイッチLSIに求められる課題は、（1）スイッチ容量の大規模化に伴うゲート規模やレイアウトの困難を克服することと、（2）スイッチ容量の大規模化に伴う消費電力の増加に関する問題を克服すること等である。このような問題を次に具体的に説明する。

【0006】

図21は、図20に示した第1の局の構成を更に具体的に表わしたものである。第2の局102等は構成が実質的に同一であるので、ここでは第1の局101を代表として説明を行う。第1の局101は、10Gbps（ギガ／秒）の容量

を有する第1～第3の光ファイバ131₁～131₃と、2.5Gbpsの容量を有する第4～第7の光ファイバ131₄～131₇を光信号の入力用として備えており、光信号の出力用としては同様に10Gbpsの容量を有する第1～第3の光ファイバ132₁～132₃と、2.5Gbpsの容量を有する第4～第7の光ファイバ132₄～132₇を備えている。入力側の第1～第3の光ファイバ131₁～131₃は、それぞれ第1の光－電気変換部141と終端処理および信号の変換を行う第1の終端処理部142とを備えた第1の前段信号処理部143₁～143₃と接続されており、第4～第7の光ファイバ131₄～131₇は、それぞれ第2の光－電気変換部144と第2の終端処理および信号の変換を行う第2の終端処理部145を備えた第2の前段信号処理部143₄～143₇とに接続されている。

【0007】

第1の終端処理部142はSTS (Synchronous Transfer Signal) - 192の終端処理を行うと共に、入力された信号を16組のSTS-12に変換する。第2の終端処理部145は、終端処理を行うと共に、入力された信号を4組のSTS-12に変換する。第1の終端処理部142と第2の終端処理部145で変換後のSTS-12の組の数が異なるのは、前者の第1～第3の光ファイバ131₁～131₃と後者の第4～第7の光ファイバ131₄～131₇の間で伝送するデータ量が相違するからである。

【0008】

第1の前段信号処理部143₁～143₃の出力側に配置されたそれぞれ16本の信号線146₁～146₃と、第2の前段信号処理部143₄～143₇の出力側に配置されたそれぞれ4本の信号線146₄～146₇とは、マトリクススイッチ147の入力側に接続されている。このマトリクススイッチ147の出力側には、それぞれ16本の信号線148₁～148₃から出力される信号を入力する第1の変換部151とこの第1の変換部151によって変換された電気信号を光信号に変換する第1の電気－光変換部152とを備えた第1の後段信号処理部153₁～153₃と、それぞれ4本の信号線148₄～148₇から出力される信号を入力する第2の変換部154とこの第2の変換部154によって変換された電気信

号を光信号に変換する第2の電気-光変換部155とを備えた第2の後段信号処理部153₄~153₇とが接続されている。第1および第2の後段信号処理部153₁~153₇の出力側には、前記した出力側の第1~第7の光ファイバ132₁~132₇が接続されている。

【0009】

このような構成の第1の局101では、第1~第7の光ファイバ131₁~131₇による入力の特ータル容量がそれぞれの入力を総計した40Gbpsとなり、第1~第7の光ファイバ132₁~132₇による出力の特ータル容量も同様に40Gbpsとなっている。また、切り替えを行う信号の最小単位の単位データを52MbpsのSTS-1とすると、10G当たりのSTS-1は192個である。したがって、前記した40Gのマトリクススイッチの場合にはこの4倍の768個のSTS-1が必要となる。すなわち、スイッチLSIのスイッチ部の規模は、768入力で768出力となる。一般にN入力でM出力のスイッチをN×Mマトリクススイッチと呼んでいる。したがって、図21に示した例の場合には768×768マトリクススイッチのLSIが必要になる。

【0010】

前記したSTS-1の単位の設定を自由に行うことができれば、156Mbps (STS-3)、622Mbps (STS-12)、2.5Gbps (STS-48)、10Gbps (STS-192) 単位の設定もマトリクススイッチの設定で可能になる。このような大規模なスイッチを実現するスイッチアーキテクチャとして従来から存在する代表的なもの3つについて次に説明する。

【0011】

図22は、従来提案されたクロスポイントスイッチ回路の構成を表わしたものである。特開平8-65719号公報で開示されたこのクロスポイントスイッチ回路は、第1~第4の入力端子162₁~162₄と、第1~第4の出力端子163₁~163₄とを備えており、スイッチ・デコーダ一体部164とアドレスバッファ部165によって構成されている。スイッチ・デコーダ一体部164は、4個のスイッチおよびデコーダ単位ユニット166₁~166₄で構成され、これらには第1~第4の入力端子162₁~162₄が共通接続されている。アドレスバ

ッファ部 1 6 5 はそれぞれのスイッチおよびデコーダ単位ユニット 1 6 6₁ ~ 1 6 6₄ に対応するアドレスバッファ単位ユニット 1 6 7₁ ~ 1 6 7₄ で構成され、それぞれ 2 進のアドレス信号 1 6 8₁₁、1 6 8₂₁、1 6 8₁₂、1 6 8₂₂、1 6 8₁₃、1 6 8₂₃、1 6 8₁₄、1 6 8₂₄ が供給され、それぞれが相補アドレス信号とされている。相補アドレス信号は対応するスイッチおよびデコーダ単位ユニット 1 6 6₁ ~ 1 6 6₄ に供給されるようになっている。各スイッチおよびデコーダ単位ユニット 1 6 6₁ ~ 1 6 6₄ では、スイッチおよびデコーダ兼用の N チャンネル型 MOS (metal oxide semiconductor) トランジスタ 1 7 1 が、アドレス 2 進桁数の多段接続構成とされて、デコードすべき対応相補アドレス信号を受けてオン・オフされ、出力端子に対して入力端子が選択されるように信号パスが形成されるようになっている。

【 0 0 1 2 】

相互に対応されるスイッチおよびデコーダ単位ユニット 1 6 6 とアドレスバッファ単位ユニット 1 6 7 は、セレクトを構成している。1 つのアドレスバッファ単位ユニット 1 6 7₁ は、直列 2 段のインバータ 1 7 2、1 7 3 と、双方のインバータ 1 7 2、1 7 3 の結合点に入力が結合されたノンインバータ 1 7 4 によってアドレス信号 1 6 8₂₁ の内部相補アドレス信号を形成し、直列 2 段のインバータ 1 7 5、1 7 6 と、双方のインバータ 1 7 5、1 7 6 の結合点に入力が結合されたノンインバータ 1 7 7 によってアドレス信号 1 6 8₁₁ の内部相補アドレス信号を形成している。その他のアドレスバッファ単位ユニット 1 6 7₂ ~ 1 6 7₄ も同様に構成されている。この図 2 2 に示した回路ではスイッチ送出としてトランスファゲートを使用している。

【 0 0 1 3 】

図 2 3 は、従来の他の手法として、7 6 8 対 1 セレクトを一般的な CMOS (complementary metal oxide semiconductor) ゲート回路で構成した例を示したものである。このマトリクススイッチ回路 1 8 1 は、6 2 2 M (メガ) b p s ずつ 6 4 本のデータ (6 4 フレームの並列データ) を 6 2 2 M b p s ずつ第 1 ~ 第 6 4 の 1 ツー 1 2 (1 t o 1 2) シリアル・パラレル変換回路 1 8 3₀₁ ~ 1 8 3₆₄ に入力し、これらを 5 2 M b p s ずつ 7 6 8 本の単位データからなるパラレル

データ 1 8 4 に変換する。変換後のパラレルデータ 1 8 4 は、7 6 8 の中からそれぞれ 1 つを選択する合計 7 6 8 組のセクタ 1 8 5₀₀₁ ~ 1 8 5₇₆₈ に入力され、1 0 本 × 7 6 8 組のセクタ選択信号 1 8 6 によって、入力側と出力側が任意に対応付けられた 7 6 8 本の単位データからなるパラレルデータ 1 8 7 に変換される。これら 7 6 8 本の単位データは 1 2 本ずつが第 1 ~ 第 6 4 の 1 2 ツー 1 (1 2 t o 1) パラレル・シリアル変換回路 1 8 8₀₁ ~ 1 8 8₆₄ に入力され、それぞれ 1 単位のフレームが再構成されて、6 2 2 M b p s ずつ 6 4 本のデータ 1 8 9 として出力される。

【 0 0 1 4 】

この図 2 3 に示したマトリクススイッチ回路 1 8 1 は、CMOS ゲート回路で構成されているので、図 2 2 に示したトランスファゲートを使用した技術と異なり、速度がかなり高速化する。

【 0 0 1 5 】

図 2 4 は、従来の手法の更に他の例を示したものである。このマトリクススイッチ回路 1 9 0 は、6 2 2 M b p s 6 4 本のライトデータ 1 9 1 をメモリ 1 9 2 に入力して、入出力関係を任意に設定した 6 2 2 M b p s 6 4 本のリードデータ 1 9 3 を出力するようにしている。メモリ 1 9 2 には 1 0 ビット構成のライトアドレス 1 9 4 および所定のライトクロック 1 9 5 が入力され、1 0 ビット構成のリードアドレス 1 9 6 と所定のリードクロック 1 9 7 が供給される構成となっている。

【 0 0 1 6 】

図 2 5 は、この図 2 4 に示したメモリを具体的に表わしたものである。ただし、図 2 5 は全部で 8 個で構成される構成メモリ 1 9 2 のうちの 1 個を示している。構成メモリ 1 9 2 は、6 4 対 1 セクタがそれぞれ 6 4 個備えられた第 1 ~ 第 1 2 のセクタ部 1 9 4₀₁ ~ 1 9 4₁₂ と、これらのセクタ部 1 9 4₀₁ ~ 1 9 4₁₂ の 1 2 ずつの出力を入力して 1 つを選択する第 1 ~ 第 6 4 の 1 2 対 1 セクタ 1 9 5₀₁ ~ 1 9 5₆₄ を備えている。これらのセクタ 1 9 5₀₁ ~ 1 9 5₆₄ がそれぞれ選択したリードデータ 1 9 3₀₁ ~ 1 9 3₆₄ が 8 個使用されることで、STS - 1 2 信号 (ただし 1 バイトは 8 ビットで構成される。) の各ビットを 1 個の構

成メモリ 1 9 2 で処理することができる。

【 0 0 1 7 】

ただし、この構成メモリ 1 9 2 が 8 個の状態では S T S - 1 2 信号をメモリに書き込んでいる状態で読み出しを行うことができない。そこで、構成メモリ 1 9 2 を 8 個の倍の 1 6 個とし、2 組のメモリ構成とすると、書き込みと読み出しを並行して行うことができる。

【 0 0 1 8 】

【発明が解決しようとする課題】

以上、図 2 2 ～図 2 5 を使用して比較的規模の大きな構成に対応することのできるマトリクススイッチ回路を示した。しかしながらこれらのマトリクススイッチ回路はそれぞれ次のような問題がある。まず、図 2 2 に示したマトリクススイッチ回路 1 6 1 は回路規模が小さいことが大きな特徴となっている。したがって大規模スイッチを構成する場合には多段接続が必要になる。しかしながら、この図 2 2 に示した回路ではスイッチ送出としてトランスファゲートを使用している。このため、配線容量に加えてスイッチトランジスタを構成するスイッチおよびデコーダ兼用の N チャンネル型 M O S トランジスタ 1 7 1 のソース、ドレインの各端子の対グラウンド容量が負荷容量として見える。したがって、多段接続を行うと急激に負荷容量が増して、高速動作ができなくなる。これは、この図 2 2 で示したように基本構成が 4 対 1 のセレクト程度では問題とならないが、前記した 7 6 8 × 7 6 8 マトリクススイッチの場合には 7 6 8 対 1 セレクト構成とする必要があり、高速化の観点から全く使用することができない。

【 0 0 1 9 】

次に図 2 3 に示したマトリクススイッチ回路 1 8 1 では、スイッチの入力部の配線本数が 7 6 8 本と大変多くなっている。また、この技術では 7 6 8 本の信号線に分けられた信号を 7 6 8 個の 7 6 8 対 1 セレクトに分配している。したがって、信号の配線数が非常に多く回路のレイアウトの設計が大変であるという問題がある。なお、S T S - 1 の 1 バイト (8 ビット) 分をこの図 2 3 に示したように 8 ビットシリアル処理を行ったり、また図示を省略するが 4 ビットシリアル、8 ビットパラレル処理等の変更を行うように各種の回路構成を考えることができ

る。しかしながらどの組み合わせを行っても、配線数の多さから回路のレイアウトが非常に困難であることに変わりはない。

【0020】

また、図24あるいは図25に示したマトリクススイッチ回路191では、書き込み時にはメモリでの消費電力が大きく、読み出し時にはセクタの消費電力が大きいので、結果的に消費電力が大きくなるという問題がある。また、書き込みや読み出しを独立して行うときには構成メモリ192を倍の数だけ必要とするので、回路規模が大きくなるという問題もある。

【0021】

L S I の微細化が進んで、ゲートの収容能力が飛躍的に増加している。しかしながら回路規模の増加の比率に消費電力の削減の比率が追いつけない状況があり、高速L S I の場合にはL S I の実現できる規模を左右するファクタとして消費電力の制限が最もクリチカルな問題となっている。

【0022】

そこで本発明の目的は、L S I の微細化の進む中で、低消費電力化を可能とするL S I としてのマトリクススイッチ回路を提供することにある。

【0023】

また本発明の他の目的は、レイアウト性に優れたL S I としてのマトリクススイッチ回路を提供することにある。

【0024】

【課題を解決するための手段】

請求項1記載の発明では、(イ)最小単位のデータとしての単位データを予め定めた個数 n だけシリアルに配列して1つのフレームを形成したものを、所定のフレーム数 m だけ並列に入力して、この $n \times m$ のマトリクスを同じく $n \times m$ のマトリクスで単位データを任意に組み替えるために n 個ずつ m 系統に分けられたフレームのそれぞれについて並列入力される m 個の単位データから1つを選択する合計で $n \times m$ 個用意された m 対1セクタと、(ロ)これら $n \times m$ 個用意された m 対1セクタのうちのそれぞれの系統別に分けられた m 個の m 対1セクタから同時にそれぞれ選択される n 個の単位データをシリアルに配列してそれぞれ1

つずつのフレームを m 個作成するフレーム作成手段とをマトリクススイッチ回路に具備させる。

【 0 0 2 5 】

すなわち請求項 1 記載の発明では、 m 個の単位データから 1 個の単位データを選択する m 対 1 セレクタを $n \times m$ 個用意する。これらの m 対 1 セレクタに n 個ずつ m 系統に分けられたフレームのそれぞれのデータを並列に入力する。ここで単位データとはたとえば $STS-1$ である。この $STS-1$ の例の場合の 1 フレームとは $STS-12$ であり、 $STS-1$ が 12 個時系列的に連続したものである。この例の場合には、 n 個の m 対 1 セレクタから単位時間当たりを選択されて出力される単位データは 12 個である。そこでフレーム作成手段でこれらをシリアルに配列し直すと 1 つのフレームが形成されることになる。したがって、全体としてはフレーム作成手段はフレームを m 個作成することになり、 $n \times m$ のマトリクスのフレームを形成する個々の単位データがスイッチングされることになる。このマトリクススイッチ回路では、それぞれの m 対 1 セレクタが 1 つの単位データを選択するように設定されるので、 m 対 1 セレクタを構成する m 個のスイッチング回路部分の 1 つのみが選択動作に寄与するように回路動作を行わせることで残りの回路部分の消費電力を抑えることが可能になる。

【 0 0 2 6 】

請求項 2 記載の発明では、(イ) 最小単位のデータとしての単位データを予め定めた 12 個ずつシリアルに配列して 1 つのフレームを形成したものを、64 フレームだけ並列に入力して、この 12×64 のマトリクスを同じく 12×64 のマトリクスで単位データを任意に組み替えるために 12 個ずつ 64 系統に分けられたフレームのそれぞれについて並列入力される 64 個の単位データから 1 つを選択する合計で 12×64 個用意された 64 対 1 セレクタと、(ロ) これら 12×64 個用意された 64 対 1 セレクタのうちのそれぞれの系統別に分けられた 64 個の 64 対 1 セレクタから同時にそれぞれ選択される 12 個の単位データをシリアルに配列してそれぞれ 1 つずつのフレームを 64 個作成するフレーム作成手段とをマトリクススイッチ回路に具備させる。

【 0 0 2 7 】

すなわち請求項 2 記載の発明では、請求項 1 記載の発明における $n \times m$ のマトリクスを前記した単位データが STS-1 の例の場合で具体的に示したものである。64 対 1 セレクタはそれぞれ 64 の入力の中から 1 つを選択する回路なので、64 個のスウィッチング回路部分の 1 つのみが選択動作に寄与するように回路動作を行わせることで残りの回路部分の消費電力を抑えることが可能になる。

【 0 0 2 8 】

請求項 3 記載の発明では、請求項 1 記載のマトリクススイッチ回路は、 m 対 1 セレクタからそれぞれ出力される単位データを書き込む読み出し自在な第 1 および第 2 のメモリと、これら第 1 および第 2 のメモリを単位データの書き込みが行われる周期で書き込みの行われるメモリと読み出しの行われるメモリに交互に切り替えるメモリ切替手段を具備することを特徴としている。

【 0 0 2 9 】

すなわち請求項 3 記載の発明では、 m 対 1 セレクタから比較的高速で単位データが次々と選択されて出力されるとき、これらの単位データの読み出し側との時間的な調整を図るために第 1 および第 2 のメモリの 2 つのメモリを用意することになっている。これら第 1 および第 2 のメモリを単位データの書き込みが行われる周期で書き込みの行われるメモリと読み出しの行われるメモリに交互に切り替えることで、単位データの書き込みや読み出しの時間的な余裕を持たせることが可能になる。

【 0 0 3 0 】

請求項 4 記載の発明では、請求項 1 または請求項 2 記載のマトリクススイッチ回路で、単位データは STS-1 であることを特徴としている。このとき請求項 2 記載のフレームは STS-1 2 となる。

【 0 0 3 1 】

請求項 4 記載の発明の例についてはすでに説明した。単位データやフレームのサイズはこの例に限定されるものでないことは当然である。

【 0 0 3 2 】

請求項 5 記載の発明では、請求項 2 記載のマトリクススイッチ回路で、64 対 1 セレクタは、それぞれ 8 本からなる 64 組のセレクタ入力線と、これと同数で

これらセレクト入力線を一方の入力とするデータインーブル用の2入力アンドゲートと、これらの2入力アンドゲートの出力側に配置された64入力のオアゲートと、これら2入力アンドゲートの他方の入力端子にそれぞれ1本ずつ合計64本の出力信号線を接続した6ツ-64デコーダを具備することを特徴としている。

【0033】

すなわち請求項5記載の発明は、後に説明する本発明の第1の変形例に対応するものである。この請求項5記載の発明では、特定の1組のゲートが導通し、残りの63組のゲートが遮断状態となっているので、全体的な消費電力を極めて低く抑えることができる。

【0034】

請求項6記載の発明では、請求項2記載のマトリクススイッチ回路で、64対1セレクトは、それぞれ4本ずつからなる8組のセレクト入力線を、合計で16グループ分だけ有したセレクト入力線群と、このセレクト入力線群のそれぞれのセレクト入力線に一方の入力端子を接続した合計64個の2入力アンドゲートと、グループごとに4個ずつ用意されそれらの出力端子を合計64個の2入力アンドゲートの他方の入力端子に接続した各グループごとの2入力アンドゲートと、合計64個の2入力アンドゲートの各グループごとに用意されこれらの出力の4個ずつを入力して1個を選択する4ツ-1セレクトと、これら4ツ-1セレクトの各グループ1つずつの出力を入力して論理和をとり選択後の出力とする合計8個のオアゲートと、各グループごとの2入力アンドゲートおよび4ツ-1セレクトにアドレス情報を供給するアドレス情報供給手段を具備することを特徴としている。

【0035】

すなわち請求項6記載の発明は、後に説明する本発明の第2の変形例に対応するものである。この請求項6記載の発明では、請求項5記載の発明と同様にゲートの遮断制御によって消費電力の低減を図ることができる。

【0036】

請求項7記載の発明では、請求項1記載のマトリクススイッチ回路は、 m 対1

セクタからそれぞれ出力される単位データを書き込む第1のメモリと、この第1のメモリに書き込みの終了したデータを読み込む読み出し自在な第2のメモリと、これら第1および第2のメモリのデータの書き込みを制御するメモリ制御手段を具備することを特徴としている。

【0037】

すなわち請求項7記載の発明は、後に説明する本発明の第3の変形例に対応するものである。この請求項7記載の発明では、第1のメモリの書き込みの終了したデータを第2のメモリに書き込んで読み出すようにしたので、m対1セクタから単位データが高速に読み出される場合であっても後段の回路がこれらの単位データを安定して読み出すことができる。

【0038】

請求項8記載の発明では、請求項1記載のマトリクススイッチ回路は、m対1セクタはFPGAセルを内蔵した構成となっていることを特徴としている。

【0039】

すなわち請求項8記載の発明は、後に説明する本発明の第4の変形例に対応するものである。この請求項8記載の発明では、FPGA部品を備えたLSIやFPGA部品（パート）そのものでスイッチを実現するので、規模と消費電力の両面が優れたマトリクススイッチ回路を構成することができる。

【0040】

請求項9記載の発明では、請求項2記載のマトリクススイッチ回路は、 8×64 個用意され、64対1セクタに入力すべき入力データを8ビットパラレルで622Mbpsずつ64本に分けた単位データとして一方の入力端子に代わって入力し、他方の入力端子に単位データの選択されるタイムスロットでのみオンとなるセクタ出力を入力する2入力アンドゲートを備え、これらの2入力アンドゲートの出力側に64対1セクタが配置されていることを特徴としている。

【0041】

すなわち請求項9記載の発明は、後に説明する本発明の第5あるいは第6の変形例に対応するものである。この請求項9記載の発明では、64対1セクタの入力端子側が12タイムスロット中に1回（ただし変化点の数で数えると2回）

しか動作しないことになるので、64対1セレクタの入力の信号レートが6分の1に下がったことに相当する結果が生じ、その消費電力が6分の1となるという利点が生じる。

【0042】

請求項10記載の発明では、請求項2記載のマトリクススイッチ回路は、64種類中の選択されているフレームの識別を行うデコーダ回路を備え、64組中の順に選択される12組ずつのフレームに対応する回路部分のみを動作させ、他の52組ずつの回路部分を非動作とする消費電力制御手段を具備することを特徴としている。

【0043】

すなわち請求項10記載の発明は、後に説明する本発明の第7の変形例に対応するものである。この請求項10記載の発明では、64組中の12組の回路部分が動作するので、動作する信号は64分の12で、約5.3分の1となり、約5分の1に抑えることができる。

【0044】

【発明の実施の形態】

【0045】

【実施例】

以下実施例につき本発明を詳細に説明する。

【0046】

図1は本発明の一実施例におけるマトリクススイッチ回路を使用したデジタルクロスコネクトシステムの要部を表わしたものである。このデジタルクロスコネクトシステム201を構成する所定の光リング202は第1～第4の光ファイバ203₁～203₄からなる4ファイバリングシステムを構成している。この光リング202上に配置された所定の局205内のマトリクススイッチ回路206は、右回りの2組の光ファイバ203₁、203₂および左回りの2組の光ファイバ203₃、203₄ならびに一般加入者側207の光ファイバ208からデータを入力している。これら入力されるデータの容量が合計で40Mbpsであるとする。マトリクススイッチ回路206は、これら入力されたデータをSTS-

1 を最小単位のデータ量（単位データ）として切り替える。そして、右回りの 2 組の光ファイバ 203_1 、 203_2 および左回りの 2 組の光ファイバ 203_3 、 203_4 ならびに一般加入者側 207 の光ファイバ 209 からデータを出力する。入出力されるデータの容量が 40 Gbps の場合には、STS-1 が 52 Mbps であるので、これは 768 入力、768 出力に相当する。本実施例では、入出力信号の速度は 622 Mbps であると仮定する。したがって、本実施例では入出力共に 622 Mbps の信号が 64 組 ($40\text{ G} \div 622\text{ Mbps} = 64$) 存在している。

【0047】

図 2～図 4 は、図 1 に示したマトリクススイッチ回路における第 1～第 3 回路部を表わしたものである。これらの各回路部 211～213 の関係は次のようになる。まず、第 2 回路部 212（図 3）は 12 個の第 1 回路部 $211_{00} \sim 211_{11}$ と、これらの選択を行うためのカウンタ出力 221 を出力する 5 ビットカウンタ 222 と、これら 12 個の第 1 回路部 $211_{00} \sim 211_{11}$ の出力を選択する 12 対 1 セレクタ 223 で構成されており、ここからは STS-1 を 12 個連結した形式の STS-12 からなる出力側のフォーマットによるフレーム信号 224 が出力される。第 3 回路部 213（図 4）は、図 3 に示した 64 個の第 2 回路部 $212_{00} \sim 212_{63}$ から構成されており、STS-12 からなる 64 個のフレーム信号 $224_{00} \sim 224_{63}$ が出力されるようになっている。

【0048】

第 1 回路部 211 は、図 2 に示すように、 40 G の入力データ 231 を 8 ビット平行で 622 Mbps ずつ 64 本に分けた単位データ（STS-1） $232_{00} \sim 232_{63}$ を並列的に入力する 64 対 1 セレクタ 233 を備えている。64 対 1 セレクタ 233 は、8 ビット分、すなわち 8 個存在している。64 対 1 セレクタ 233 には 10 ビットのアドレス情報 234 を構成する上位 6 ビットの情報 234A がそのセレクト端子 S に入力されている。また、STS-12 内の単位データ（STS-1）の位置を示す下位 4 ビットの情報 234B は STS-1 選択回路 235 に入力され、図 3 に示した 5 ビットカウンタ 222 のカウンタ出力 221 との論理がとられるようになっている。

【 0 0 4 9 】

6 4 対 1 セレクタ 2 3 3 は、その入力端子 $D_{00} \sim D_{63}$ に 6 4 本に分けられて入力された単位データ $2 3 2_{00} \sim 2 3 2_{63}$ のうちの特定の 1 本のデータを選択するようになっている。図 3 には 1 2 個の第 1 回路部 $2 1 1_{00} \sim 2 1 1_{11}$ が示されている。したがって、図 3 に示した第 2 回路部 $2 1 2$ の 1 2 対 1 セレクタ 2 2 3 は、図 2 に示した個々の $S T S - 1 2$ すなわち 1 フレーム分の信号を選択していることになり、6 4 個の第 2 回路部 $2 1 2_{00} \sim 2 1 2_{63}$ が配置された第 3 回路部 $2 1 3$ が 6 4 組の $S T S - 1 2$ を出力していることになる。

【 0 0 5 0 】

図 5 は、第 3 回路部の全体的な構成の概要を、第 1 回路部ならびに第 2 回路部を用いて表わしたものである。この図を用いて第 3 回路部 $2 1 3$ と第 1 および第 2 回路部 $2 1 1$ 、 $2 1 2$ の関係を説明する。まず第 0 の第 2 回路部 $2 1 2_{00}$ に着目してみる。第 0 の第 2 回路部 $2 1 2_{00}$ は 6 4 対 1 セレクタ 2 3 3 を奥行き方向に 1 2 個並行に並べたような構造を持っており、それぞれの 6 4 個の単位データ ($S T S - 1$) から 1 つを選択し、それら 1 2 個の単位データからなる組が 1 2 対 1 セレクタ 2 2 3 に入力されて時分割的に 1 単位データずつ選択される。そして 1 2 個の単位データが所望の組み合わせからなる 1 フレーム ($S T S - 1 2$) を構成してフレーム信号 $2 2 4_{00}$ として出力することになる。

【 0 0 5 1 】

第 1 の第 2 回路部 $2 1 2_{01}$ も同様である。すなわち第 1 の第 2 回路部 $2 1 2_{01}$ も 6 4 対 1 セレクタ 2 3 3 を奥行き方向に 1 2 個並行に並べたような構造を持っており、それぞれの 6 4 個の単位データ ($S T S - 1$) から 1 つを選択し、それら 1 2 個の単位データからなる組が 1 2 対 1 セレクタ 2 2 3 に入力されて時分割的に 1 単位データずつ選択される。そして、1 2 個の単位データが所望の組み合わせからなる 1 フレーム ($S T S - 1 2$) を構成して第 1 のフレーム信号 $2 2 4_{01}$ として出力することになる。以下同様に各第 2 回路部 $2 1 2_{00} \sim 2 1 2_{63}$ は、6 4 対 1 セレクタ 2 3 3 の 6 4 個の入力端子 $D_{00} \sim D_{63}$ の選択の組み合わせによって、 $1 2 \times 6 4$ 通りの単位データの入出力を選択することになる。

【 0 0 5 2 】

再び図2に戻って第1回路部211を具体的に説明する。64対1セクタ233の出力端子Oから出力される8ビットパラレルの信号241はデータラッチフリップフロップ回路242に入力される。データラッチフリップフロップ回路242は第1のフリップフロップ回路243と第2のフリップフロップ回路244の2組のフリップフロップ回路から構成されており、それぞれのデータ入力端子Dに信号241を入力するようになっている。また、第1のフリップフロップ回路243のイネーブル端子Eには、STS-1選択回路235の出力信号246と図3に示した5ビットカウンタ222から出力される最上位ビットのデータとしてのセクタ切替信号221Aの論理を反転させた信号との論理積を論理素子247でとった信号248が入力されるようになっている。それぞれのフリップフロップ回路243、244は8ビットずつのデータを並行して処理するので、それぞれは8個ずつのフリップフロップ回路（合計で16個のフリップフロップ回路）で構成されることになる。

【0053】

ここでSTS-1選択回路235は、5ビットカウンタ222から出力される下位4ビットのデータ221Bを構成するそれぞれのビットと前記した下位4ビットの情報234Bとを1つずつ排他論理和回路249で排他論理和をとった出力をアンドゲート251で論理積をとる回路であり、ここから出力信号246が出力されるようになっている。

【0054】

第2のフリップフロップ回路244の方はそのイネーブル端子Eに出力信号246とセクタ切替信号221Aの論理積をとった信号がアンドゲート250によって入力されるようになっている。また、それぞれのフリップフロップ回路243、244のクロック入力端子Cには、78MHzのクロック信号253が入力されるようになっている。このように第1のフリップフロップ回路243と第2のフリップフロップ回路244ではセクタ切替信号221Aの入力される信号レベルが反転しているので、一方に信号241が書き込まれる状態で他方は書き込みが禁止される。

【0055】

データラッチフリップフロップ回路 2 4 2 のこれら第 1 および第 2 のフリップフロップ回路 2 4 3、2 4 4 の出力端子 Q からはラッチされた 8 ビットパラレルの出力信号 2 5 5、2 5 6 がそれぞれ出力され、読み出し面切替セレクタ 2 5 7 のそれぞれの入力端子 D_0 、 D_1 に入力されるようになっている。この読み出し面切替セレクタ 2 5 7 の選択入力端子 S にはセレクタ切替信号 2 2 1 A が入力され、出力端子 O からは 8 ビットの出力信号 2 5 8 が出力される。したがって、第 1 および第 2 のフリップフロップ回路 2 4 3、2 4 4 のうち、入力端子 D から 8 ビットパラレルの信号 2 4 1 が書き込まれていない方の回路から 8 ビットパラレルの出力信号 2 5 8 が出力されることになる。このように第 1 および第 2 のフリップフロップ回路 2 4 3、2 4 4 を交互に使用しながらデータの読み書きを行うことで、動作の信頼性を高めることができる。

【 0 0 5 6 】

次に図 3 に示す第 2 回路部 2 1 2 の構成の補足説明をする。第 2 回路部 2 1 2 は、図 2 に示したと同一構成の第 0 の第 1 回路部 $2 1 1_{00}$ ～第 1 1 の第 1 回路部 $2 1 1_{11}$ と、これらから出力される出力信号 $2 5 8_{00}$ ～ $2 5 8_{11}$ を入力して時系列的に単位データを順に選択する 1 2 対 1 セレクタ 2 2 3 と、7 8 MHz のクロック信号 2 5 3 を入力してカウンタ出力 2 2 1 を各部に出力する 5 ビットカウンタ 2 2 2 から構成されている。このうち 7 8 MHz のクロック信号 2 5 3 は図 2 でも説明したように第 0 の第 1 回路部 $2 1 1_{00}$ ～第 1 1 の第 1 回路部 $2 1 1_{11}$ にも供給されるようになっている。第 0 の第 1 回路部 $2 1 1_{00}$ ～第 1 1 の第 1 回路部 $2 1 1_{11}$ には、これらを選択する 1 0 ビットのアドレス情報 $2 6 1_{00}$ ～ $2 6 1_{11}$ が供給されている。1 2 対 1 セレクタ 2 2 3 は 1 2 個のデータ入力端子 D_0 ～ D_{11} を備えており、それぞれ対応する第 1 回路部 $2 1 1_{00}$ ～ $2 1 1_{11}$ から出力信号 $2 5 8_{00}$ ～ $2 5 8_{11}$ を入力して、5 ビットカウンタ 2 2 2 の下位 4 ビットのデータ 2 2 1 B を選択入力端子 S に入力し、8 ビットパラレルで出力信号 $2 5 8_{00}$ ～ $2 5 8_{11}$ を択一的に選択していくことになる。

【 0 0 5 7 】

次に図 4 に示す第 3 回路部 2 1 3 の構成の補足説明を行う。第 3 回路部 2 1 3 を構成する第 0 ～第 6 3 の第 2 回路部 $2 1 2_{00}$ ～ $2 1 2_{63}$ は、4 0 G の入力デー

タ 2 3 1 と 1 0 ビット×1 2 のデータ構成のアドレス情報 2 7 1₀₀～2 7 1₆₃および 7 8 M H z のクロック信号 2 5 3 を入力して、8 ビットパラレルの第 0 ～第 6 3 のフレーム信号 2 2 4₀₀～2 2 4₆₃を出力するようになっている。これは、S T S - 1 2 の出力が 8 本×6 4 組であり、5 1 2 本の出力に相当する。

【0 0 5 8】

図 6 は本実施例のマトリクススイッチ回路の各部の動作を示すものである。同図 (a) は本実施例で使用される 7 8 M H z のクロック信号 2 5 3 である。このクロック信号 2 5 3 を入力して分周する 5 ビットカウンタ 2 2 2 のカウンタ出力 2 2 1 は、最下位ビットから順に図 6 の (b₀)、(b₁)、(b₂)、(b₃)、(b₄) で示す通りとなる。同図 (c) は入力データ 2 3 1 (図 2 等参照) における 1 フレーム中の単位データ (S T S - 1) の番号を示している。このように 7 8 M H z のクロック信号 2 5 3 の各立ち上がり同期して第 0 の単位データ (0) から第 1 1 の単位データ (1 1) まで単位データが 1 2 個ずつ繰り返されて各フレーム (S T S - 1 2) が構成される。同図 (d) に示すように 5 ビットカウンタ 2 2 2 のカウンタ出力 2 2 1 の下位 4 ビットのデータ 2 2 1 B が単位データ (S T S - 1) の番号そのものを表わしている。なお、この図および以下の図では明細書中に “7” 等で表わしている符号を、作成する図のピッチ等の関係で (7) あるいは㉔等の他の表現形式で表わしているものがある。

【0 0 5 9】

今、図 2 に示したデータラッチフリップフロップ回路 2 4 2 に 6 2 2 M b p s 、6 4 組中の 2 0 番目 (“0 0” から “6 3” までを 6 4 組と数えた場合の 2 0 番目) で、フレーム (S T S - 1 2) における 4 番目 (“0 0” から “1 1” までを 1 2 の単位データ (S T S - 1) として数えた場合の 4 番目) のバイトを与えるものとする。この場合、6 2 2 M b p s 単位のセクタアドレスとして 6 ビット構成で “0 0” から “6 3” まで指定可能なアドレスを “2 0” に設定し、単位データ (S T S - 1) を単位とするセクタアドレスとしての 4 ビット構成で “0 0” から “1 1” まで指定可能なアドレスを “4” に設定する。

【0 0 6 0】

このような設定を行うと、図 2 に示した 6 4 対 1 セレクタ 2 3 3 は入力データ

2 3 1 の中から 2 0 番目の信号を選択する。一方、図 3 に示した 5 ビットカウンタ 2 2 2 の下位 4 ビットのデータ 2 2 1 B は 4 つの排他論理和回路 2 4 9 に 1 ビットずつ平行に供給され、フレーム (S T S - 1 2) 内の単位データ (S T S - 1) の位置を示す下位 4 ビットの情報 2 3 4 B のうちの対応するものと 1 ビットずつ比較される。この結果として、これら 4 組のアドレスとカウント値を表わしたビットがすべて一致する条件が成立した時点でアンドゲート 2 5 1 に入力する 4 つのビットがすべて “1” となり、S T S - 1 選択回路 2 3 5 の出力信号 2 4 6 が “1” となる (図 6 (e))。

【0 0 6 1】

図 6 の時刻 t_1 がこの状態を示しており、同図 (e) に示すように出力信号 2 4 6 が “1” となる。このとき、図 2 に示す論理素子 2 4 7 の出力が “1” となり、この場合には第 1 のフリップフロップ回路 2 4 3 のイネーブル端子 E がイネーブルとなる。これにより、結果的に 6 2 2 M b p s、6 4 組中の 2 0 番目で、フレーム (S T S - 1 2) における 4 番目のバイトが第 1 のフリップフロップ回路 2 4 3 に取り込まれることになる (図 6 (f))。

【0 0 6 2】

ところで第 1 のフリップフロップ回路 2 4 3 (図 6 (f)) と第 2 のフリップフロップ回路 2 4 4 (図 6 (g)) は、1 2 クロック単位で、すなわち 1 フレーム単位でイネーブル端子 E によってイネーブルとディスエーブルが交互に繰り返される。そして、イネーブルがマスクされている側のフリップフロップ回路に対してはマスクされている間、書き込みが不可能となる。また、イネーブルがマスクされている側のフリップフロップ回路の出力信号 2 5 5 または 2 5 6 は、読み出し面切替セレクタ 2 5 7 によって出力信号 2 5 8 (図 6 (h)) として出力される。

【0 0 6 3】

したがって、図 3 に示した第 1 回路部 $2 1 1_{00} \sim 2 1 1_{11}$ のアドレスを、それぞれ出力すべき順番、すなわち第 0 の第 1 回路部 $2 1 1_{00}$ から第 1 の第 1 回路部 $2 1 1_{01}$ 、第 2 の第 1 回路部 $2 1 1_{02}$ と順番に第 1 1 の第 1 回路部 $2 1 1_{11}$ まで出力し、更に第 0 の第 1 回路部 $2 1 1_{00}$ からこれを繰り返していくようにアドレ

スの設定を行っていくことで、フレーム（STS-12）内のフォーマットに沿って正しくそれぞれの単位データ（STS-1）が取り込まれた622Mbpsの出力信号を得ることができる。

【0064】

図7は、本実施例で説明した622Mbpsフォーマット（STS-12）と52Mbpsフォーマット（STS-1）の関係を説明するためのものである。本実施例でフレームとして示したSTS-12は、同図に示すように、12種類のSTS-1（単位データ）が1バイト（byte）ずつ並んだ構成となっている。図6ではSOH（Section Over Head）部311、321の最初のバイトで説明したが、ペイロード部312、322も含めてこの関係は成立する。

【0065】

以上説明した実施例ではSTS-1が12多重されたままの信号を扱うため、768入力、768出力のスイッチであるにも係わらず、入出力信号がそれぞれ64×8本すなわち512本ですむ。図23に示した従来の手法の場合にはスイッチの出入り口で768本である。本実施例ではこのように信号数が少ないためにマトリクススイッチ回路のレイアウトを行うのが容易である。また、この実施例では64対1セレクタ233は選択のためのアドレス情報234が変更されるまで同一の622Mbpsの信号を選択するようになっている。実際のSDHシステムではアドレスの切り替えをフレーム単位で行っている。ここで1フレームは125μ秒（8KHz）である。実際にはフレームごとにアドレスを切り替えることはない。したがって、アドレス切り替えの周波数はMHzオーダの信号の周波数に比べると十分低くなる。

【0066】

本実施例のような大規模スイッチは一般にCMOS-LSIで実現される。CMOS-LSIの消費電力は動作周波数に比例して増加する。本実施例のマトリクススイッチ回路ではアドレス線が固定となっているので、64対1セレクタ233の構成を工夫すると極めて低消費電力のセレクタを実現することができ、結果としてマトリクススイッチ回路の消費電力を非常に少ないものにすることができる。

【 0 0 6 7 】

発明の第 1 の変形例

【 0 0 6 8 】

図 8 は本発明の第 1 の変形例として低消費電力を実現するセレクタの第 1 の例を示したものである。このセレクタ 2 8 1 は、それぞれ 8 本からなる 6 4 組のセレクタ入力線 2 8 2₀₀、2 8 2₀₁、……、2 8 2₆₂、2 8 2₆₃と、これと同数でこれらセレクタ入力線 2 8 2₀₀、2 8 2₀₁、……、2 8 2₆₂、2 8 2₆₃を一方の入力とするデータインエーブル用の 2 入力アンドゲート 2 8 3₀₀、2 8 3₀₁、……、2 8 3₆₂、2 8 3₆₃と、これらの 2 入力アンドゲート 2 8 3₀₀、2 8 3₀₁、……、2 8 3₆₂、2 8 3₆₃の出力側に配置された 6 4 入力のオアゲート 2 8 4 と、2 入力アンドゲート 2 8 3₀₀、2 8 3₀₁、……、2 8 3₆₂、2 8 3₆₃の他方の入力端子にそれぞれ 1 本ずつ合計 6 4 本の出力信号線 2 8 5 を接続した 6 ツー 6 4 (6 t o 6 4) デコーダ 2 8 6 によって構成されている。オアゲート 2 8 4 から 8 ビットパラレルの信号 2 4 1 が出力されることになる。なお、この図 8 では他の図と同様にゲートについて一部のみを示している。したがって、たとえば 2 入力アンドゲート 2 8 3₀₀ は合計で 8 個存在し、出力信号線 2 8 5 は 8 個に共通し、セレクタ入力線 2 8 2₀₀ は 8 個に分配されている。

【 0 0 6 9 】

6 4 組のセレクタ入力線 2 8 2₀₀、2 8 2₀₁、……、2 8 2₆₂、2 8 2₆₃には、図 2 に示した 4 0 G の入力データ 2 3 1 が 8 ビットパラレルで 6 2 2 M b p s ずつ 6 4 本に分けた単位データ (S T S - 1) 2 3 2₀₀ ~ 2 3 2₆₃ として入力される。6 ツー 6 4 デコーダ 2 8 6 には 6 ビットのアドレス情報 2 8 7 が供給されており、この 6 ビットの情報によって 6 4 組の 2 入力アンドゲート 2 8 3₀₀、2 8 3₀₁、……、2 8 3₆₂、2 8 3₆₃ のうちの特定の 1 組のゲートを導通させるようにしている。6 4 組の 2 入力アンドゲート 2 8 3₀₀、2 8 3₀₁、……、2 8 3₆₂、2 8 3₆₃ のうちの残りの 6 3 組はゲートが遮断状態となっているので、全体的な消費電力を極めて低く抑えることができる。

【 0 0 7 0 】

発明の第 2 の変形例

【 0 0 7 1 】

図 9 は本発明の第 2 の変形例として低消費電力を実現するセクタの第 2 の例を示したものである。このセクタ 2 9 1 は、図 8 に示した第 1 の変形例と比較するとデコーダ出力の配線数を減少させた点に特徴がある。この第 2 の変形例のセクタ 2 9 1 は、それぞれ 4 本ずつからなる 8 組のセクタ入力線 2 9 2₀、2 9 2₁、2 9 2₂、2 9 2₃を、合計で 1 6 グループ分だけ有している。これらのセクタ入力線 2 9 2₀、2 9 2₁、2 9 2₂、2 9 2₃は、それぞれが対応する数の 2 入力アンドゲート 2 9 3₀、2 9 3₁、2 9 3₂、2 9 3₃の一方に入力されている。2 入力アンドゲート 2 9 3₀、2 9 3₁、2 9 3₂、2 9 3₃の他方の入力端子には、それぞれのグループごとに 4 個ずつ用意された 4 入力アンドゲート 2 9 4₀₀～2 9 4₁₅の対応する出力端子が接続されている。これら各グループの 4 入力アンドゲート 2 9 4₀₀～2 9 4₁₅のそれぞれの入力端子には、6 ビットパラレルのアドレスライン 2 9 6 のうちの 4 ビットのアドレスラインからの信号 2 9 6 A と、この 4 ビットのアドレスラインからの信号 2 9 6 A をインバータ 2 9 7 によって反転した後の信号 2 9 8 がそれぞれ入力されるようになっている。なお、これら 4 入力アンドゲート 2 9 4₀₀～2 9 4₁₅は、信号 2 9 6 A の 4 本と反転後の信号 2 9 8 の 4 本の合計 8 本のうちの 4 本が入力されるようになっており、それぞれのアンドゲートは信号 2 9 6 A が下記の値のときにオン（“1”）するようになっている。

2 9 4₀₀……2 9 6 A = “0 0 0 0”

2 9 4₀₁……2 9 6 A = “0 0 0 1”

2 9 4₀₂……2 9 6 A = “0 0 1 0”

……

2 9 4₁₃……2 9 6 A = “1 1 0 1”

2 9 4₁₄……2 9 6 A = “1 1 1 0”

2 9 4₁₅……2 9 6 A = “1 1 1 1”

【 0 0 7 2 】

各グループの 4 個ずつの 2 入力アンドゲート 2 9 3₀、2 9 3₁、2 9 3₂、2 9 3₃の出力端子は、それぞれのグループに 8 組ずつ設けられた 4 対 1 セクタ

299₀₀～299₁₅の入力端子に接続されている。これら16グループの4対1セクタ299₀₀～299₁₅の出力側には、8組の16入力オアゲート301が配置されており、これらの組全体から8ビットパラレルのセクタ選択信号302が出力されるようになっている。6ビットパラレルのアドレスライン296のうちの残り2ビットのアドレスライン296Bの出力は、各グループの4対1セクタ299₀₀～299₁₅の選択入力端子Sに入力され、4つの入力から1つを選択するようになっている。

【0073】

このような構成のセクタ291は、図8に示したセクタ281と比べると、64対1セクタに相当する回路部分を4本の入力信号単位に16分割してグループをそれぞれ構成させ、これらのグループ単位でイネーブル制御を行うようにしている。このため、図8に示したタイプの回路と比べるとオン・オフするゲート回路の数が若干多くなり、消費電力が若干増加する。

【0074】

以上と異なり、セクタを一般に使用されているセクタ回路とHDL記述等の機能記述から論理合成することも可能である。ただしこの場合には図8および図9に示したセクタよりも少しだけ消費電力が大きくなる。各回路の消費電力の比較については後に説明する。

【0075】

発明の第3の変形例

【0076】

図10は本発明の第3の変形例として、図1に示したマトリクススイッチ回路における第1回路部の変形を表わしたものである。この図で図2と同一部分には同一の符号を付しており、これらの説明を適宜省略する。この変形例の第1回路部211Aは、40Gの入力データ231を8ビットパラレルで622Mbpsずつ64本に分けた単位データ(STS-1)232₀₀～232₆₃を並列的に入力する64対1セクタ233を備えている。64対1セクタ233には10ビットのアドレス情報234を構成する上位6ビットの情報234Aがそのセレクト端子Sに入力されている。また、STS-12内の単位データ(STS-1

）の位置を示す下位4ビットの情報234BはSTS-1選択回路235Aに入力され、図示しない4ビットカウンタのカウンタ出力401との論理がとられるようになっている。

【0077】

64対1セクタ233は、その入力端子 $D_{00} \sim D_{63}$ に64本に分けられて入力された単位データ $232_{00} \sim 232_{63}$ のうちの特定の1本のデータを選択するようになっている。64対1セクタ233の出力端子Oから出力される8ビット平行の信号241はデータラッチフリップフロップ回路242Aに入力される。データラッチフリップフロップ回路242Aは第1のフリップフロップ回路411と第2のフリップフロップ回路412を縦続接続した構成となっている。8ビット平行の信号241は第1のフリップフロップ回路411のデータ入力端子Dに入力され、その出力端子Qが第2のフリップフロップ回路412のデータ入力端子Dに入力されている。これらのフリップフロップ回路411、412のクロック入力端子Cには78MHzのクロック信号253が入力されている。また、第1のフリップフロップ回路411のイネーブル端子EにはSTS-1選択回路235Aから出力される出力信号246Aが入力され、第2のフリップフロップ回路412のイネーブル端子Eには4ビットカウンタのカウンタ出力401を入力するデコーダ414のデコード値415が入力されるようになっている。データラッチフリップフロップ回路242Aからは図2の8ビットの出力信号258と同様の出力信号258が出力される。

【0078】

なお、この図10で示した第1回路部211Aは、先の実施例の図3で示すように第2回路部212の一部を構成することになり、第2回路部212は図4に示したように第3回路部213の一部を構成することになる。

【0079】

図11は、この第3の変形例におけるマトリクススイッチ回路の各部の動作を示すものであり、先の実施例の図6に対応するものである。そこで、図6と同一部分の説明は適宜省略する。同図(a)は78MHzのクロック信号253である。このクロック信号253を入力して分周する4ビットカウンタのカウンタ出

力 4 0 1 は、最下位ビットから順に図 1 1 の (b_0) 、 (b_1) 、 (b_2) 、 (b_3) で示す通りとなる。同図 (c) は入力データ 2 3 1 (図 1 0 等参照) における 1 フレーム中の単位データ (STS-1) の番号を示している。このように 7 8 MHz のクロック信号 2 5 3 の各立ち上がり同期して第 0 の単位データ (0) から第 1 1 の単位データ (1 1) まで単位データが 1 2 個ずつ繰り返されて各フレーム (STS-1 2) が構成される。同図 (d) に示すように 4 ビットカウンタの 4 ビットのカウンタ出力 4 0 1 が単位データ (STS-1) の番号そのものを表わしている。

【0 0 8 0】

今、データラッチフリップフロップ回路 2 4 2 A に 6 2 2 Mbps、6 4 組中の 2 0 番目 (“0 0” から “6 3” までを 6 4 組と数えた場合の 2 0 番目) で、フレーム (STS-1 2) における 4 番目 (“0 0” から “1 1” までを 1 2 の単位データ (STS-1) として数えた場合の 4 番目) のバイトを与えるものとする。この場合、6 2 2 Mbps 単位のセクタアドレスとして 6 ビット構成で “0 0” から “6 3” まで指定可能なアドレスを “2 0” に設定し、単位データ (STS-1) を単位とするセクタアドレスとしての 4 ビット構成で “0 0” から “1 1” まで指定可能なアドレスを “4” に設定する。

【0 0 8 1】

このような設定を行うと、図 1 0 に示した 6 4 対 1 セレクタ 2 3 3 は入力データ 2 3 1 の中から 2 0 番目の信号を選択する。一方、4 ビットカウンタのカウンタ出力 4 0 1 (図 1 1 (d)) は 4 つの排他論理和回路 2 4 9 に 1 ビットずつパラレルに供給され、フレーム (STS-1 2) 内の単位データ (STS-1) の位置を示す下位 4 ビットの情報 2 3 4 B のうちの対応するものと 1 ビットずつ比較される。この結果として、これら 4 組のアドレスとカウント値を表わしたビットがすべて一致する条件が成立した時点でアンドゲート 2 5 1 に入力する 4 つのビットがすべて “1” となり、STS-1 選択回路 2 3 5 の出力信号 2 4 6 A が “1” となる (図 1 1 (f))。

【0 0 8 2】

図 1 1 の時刻 t_1 がこの状態を示しており、同図 (f) に示すように出力信号

2 4 6 A が “ 1 ” となる。このとき、第 1 のフリップフロップ回路 4 1 1 のイネーブル端子 E がイネーブルとなる。これにより、結果的に 6 2 2 M b p s 、 6 4 組中の 2 0 番目で、フレーム (S T S - 1 2) における 4 番目のバイトが第 1 のフリップフロップ回路 4 1 1 に取り込まれることになる (図 6 (g)) 。

【 0 0 8 3 】

ところで第 2 のフリップフロップ回路 4 1 2 (図 1 1 (h)) のイネーブル端子 E に供給されるデコーダ 4 1 4 のデコード値 4 1 5 は図 1 1 (e) に示すように出力信号 2 4 6 A (図 1 1 (f)) が “ 1 ” となる時刻とは異なる時刻 t_2 に “ 1 ” となるようになっている。したがって、第 1 のフリップフロップ回路 4 1 1 の出力端子 Q から出力された信号はこの時刻 t_2 に第 2 のフリップフロップ回路 4 1 2 に取り込まれ、出力信号 2 5 8 (図 1 1 (i)) として出力されることになる。

【 0 0 8 4 】

したがって、図 3 に示した第 1 回路部 $2 1 1_{00} \sim 2 1 1_{11}$ のアドレスを、それぞれ出力すべき順番、すなわち第 0 の第 1 回路部 $2 1 1_{00}$ から第 1 の第 1 回路部 $2 1 1_{01}$ 、第 2 の第 1 回路部 $2 1 1_{02}$ と順番に第 1 1 の第 1 回路部 $2 1 1_{11}$ まで出力し、更に第 0 の第 1 回路部 $2 1 1_{00}$ からこれを繰り返していくようにアドレスの設定を行っていくことで、フレーム (S T S - 1 2) 内のフォーマットに沿って正しくそれぞれの単位データ (S T S - 1) が取り込まれた 6 2 2 M b p s の出力信号を得ることができる。

【 0 0 8 5 】

発明の第 4 の変形例

【 0 0 8 6 】

図 1 2 は本発明の第 4 の変形例として図 1 に示したマトリクススイッチ回路における第 1 回路部の変形を表わしたものである。この図で図 2 と同一部分には同一の符号を付しており、これらの説明を適宜省略する。この変形例の第 1 回路部 $2 1 1 B$ は、F P G A (field programmable gate array : 大規模 P L D) セルを内蔵した構成となっている。図 2 に示した 6 4 対 1 セレクタ 2 3 3 および S T S - 1 選択回路 2 3 5 を F P G A 部品で構成した場合には、セレクタは単なるバ

ッファ 4 4 1 に、また選択回路 2 3 5 B も簡単なデコーダとなる。したがって、この図 1 2 に示すような F P G A 部品を有する L S I では飛躍的に回路規模を削減することができる。すなわち、本発明のマトリクススイッチ回路は C M O S - L S I で実現することも有効であるが、更に F P G A 部品を備えた L S I や F P G A 部品（パート）そのものでスイッチを実現する場合には規模と消費電力の両面から極めて有効となる。

【 0 0 8 7 】

なお、S D H 装置では固定値が挿入されている S O H 部（図 7 参照）でスイッチの切り替えの設定を行い、その固定値をスイッチ切り替え後の回路で再度挿入するという手法を用いる場合、スイッチの切り替えに必要な時間は比較的長くなる。S O H 部の 1 行、1 列および 1 行、2 列のデータは、それぞれ “A 1”、“A 2” と定義され、固定値である。S T S - 1 2 の場合には、これら “A 1”、“A 2” を合わせて 2 4 バイト、すなわち 7 8 M H z のクロックの 2 4 クロック分（ $= 1 2 . 8 \text{ n s e c} \times 2 4 = 3 0 7 \text{ n s e c}$ ）存在する。したがって、3 0 7 n s e c 以下で切り替えができればよい。このようなオーダで切り替えが可能な F P G A 部品を用いる場合は特に問題なく使用が可能である。

【 0 0 8 8 】

発明の第 4 の変形例の変形

【 0 0 8 9 】

図 1 3 は本発明の第 4 の変形例の更なる変形として、以上説明したようなオーダで切り替えが不可能な F P G A 部品を使用した際の第 1 回路部の構成を表わしたものである。この変形例の第 1 回路部 2 1 1 C は、図 1 2 に示した第 1 回路部 2 1 1 B を 2 つ使用している。そして、これらの出力を動作面選択セレクタ 4 6 1 の 2 つの入力端子 D_0 、 D_1 に 1 つずつ対応して入力させ、選択信号入力端子 S に入力する選択信号 4 6 2 によって 8 ビットの出力信号 2 5 8 の選択を行う。これにより、第 1 回路部 2 1 1 B のうち的一方の面がスイッチとして動作している間、もう一方の面側の F P G A 部品の書き換えを行うことで前記した問題を解決している。この図 1 3 に示した第 1 回路部 2 1 1 C は、図 1 2 に示したデータラッチフリップフロップ回路 2 4 2 等の部品の数が 2 倍必要になる。しかしながら

、回路規模の大半を占める 6 4 対 1 セレクタ 2 3 3 (図 2 参照) が不要になる。
したがって、回路規模の削減と消費電力の削減の効果は大きい。

【 0 0 9 0 】

発明の第 5 の変形例

【 0 0 9 1 】

図 1 4 は本発明の第 5 の変形例として、図 1 に示したマトリクススイッチ回路における第 1 回路部の変形を表わしたものである。この図で図 2 あるいは図 1 0 と同一部分には同一の符号を付しており、これらの説明を適宜省略する。この変形例の第 1 回路部 2 1 1 D は、4 0 G の入力データ 2 3 1 を 8 ビット平行で 6 2 2 M b p s ずつ 6 4 本に分けた単位データ (S T S - 1) 2 3 2₀₀ ~ 2 3 2₆₃ を、対応する数 ($8 \times 64 = 512$ 個) だけ用意された 2 入力アンドゲート 4 8 1 の一方の端子を介して並列的に入力する 6 4 対 1 セレクタ 2 3 3 を備えている。2 入力アンドゲート 4 8 1 の他方の端子には S T S - 1 選択回路 2 3 5 から出力される出力信号 2 4 6 A が入力されるようになっている。これ以外の回路は図 1 0 と同様である。

【 0 0 9 2 】

この第 5 の変形例では、2 入力アンドゲート 4 8 1 によって入力データ 2 3 1 を S T S - 1 選択回路 2 3 5 の出力と論理をとっている。このため、S T S - 1 2 中の S T S - 1 選択回路 2 3 5 で指定した 1 バイトの単位データ (S T S - 1) のみが通過し、他のタイムスロットでは 2 入力アンドゲート 4 8 1 の出力が “ 0 ” に固定される。この結果、6 4 対 1 セレクタ 2 3 3 の入力端子側が 1 2 タイムスロット中に 1 回 (ただし変化点の数で数えると 2 回) しか動作しないことになる。したがって、6 4 対 1 セレクタ 2 3 3 の入力の信号レートが 7 8 M b p s からその 6 分の 1 の 1 3 M b p s に下がったことに相当する結果が生じ、6 4 対 1 セレクタ 2 3 3 の消費電力が 6 分の 1 となるという利点が生じる。すなわち、本発明では従来と比して低消費電力化が図られているが、この変形例では更に低消費電力化を図ることができる。

【 0 0 9 3 】

発明の第 6 の変形例

【 0 0 9 4 】

図 1 5 は本発明の第 6 の変形例として、図 1 に示したマトリクススイッチ回路における第 1 回路部の変形を表わしたものである。この図で図 2 あるいは図 1 4 と同一部分には同一の符号を付しており、これらの説明を適宜省略する。この第 6 の変形例の第 1 回路部 2 1 1 E では、データラッチフリップフロップ回路 2 4 2 E を構成する第 1 のフリップフロップ回路 5 0 1 をセット、リセット形式のフリップフロップ回路としている。第 2 のフリップフロップ回路 4 1 2 は図 1 4 に示した回路と同一である。第 1 のフリップフロップ回路 5 0 1 のセット端子 S e t には 6 4 対 1 セレクタ 2 3 3 の出力が入力され、リセット端子 R e s e t にはデコーダ 4 1 4 のデコード値 4 1 5 が入力されるようになっている。また、クロック入力端子 C には 7 8 M H z のクロック信号 2 5 3 が入力されるようになっている。

【 0 0 9 5 】

セット、リセット形式のフリップフロップ回路は、セットとリセットが同時にオンになるときにはセットが優先するようになっている。2 入力アンドゲート 4 8 1 および 6 4 対 1 セレクタ 2 3 3 で選択された以外のバイトはオール “0” であるため、このように第 1 のフリップフロップ回路 5 0 1 をセット、リセット形式のフリップフロップ回路にしても動作が可能である。図示は省略するが、この第 1 のフリップフロップ回路 5 0 1 をゲートをたすき掛け構成とした非同期タイプに変更すると、回路規模と消費電力を更に低減することができる。このように本発明では、6 4 対 1 セレクタ 2 3 3 と S T S - 1 選択回路 2 3 5 の配置の順序を入れ替えることが可能である。

【 0 0 9 6 】

発明の第 7 の変形例

【 0 0 9 7 】

図 1 6 は本発明の第 7 の変形例として、図 1 に示したマトリクススイッチ回路における第 2 回路部の変形を表わしたものである。この図で図 3 と同一部分には同一の符号を付しており、これらの説明を適宜省略する。この第 7 の変形例の第 2 回路部 2 1 2 F では、図 3 の第 2 回路部 2 1 2 に対してデコーダ回路 5 2 1 と

アンドゲート 5 2 2 が追加されている。第 2 回路部 2 1 2 F は 1 2 個の第 1 回路部 2 1 1₀₀ ~ 2 1 1₁₁ を備えており、それぞれは 6 4 種類の中の 1 種類の S T S - 1 2 すなわち 1 フレーム分の信号を選択している。したがって、これら 1 2 個の第 1 回路部 2 1 1₀₀ ~ 2 1 1₁₁ は最大で 6 4 種類中の 1 2 種類の S T S - 1 2 を選択する。ここで最大と断ったのは、1 2 個の第 1 回路部 2 1 1₀₀ ~ 2 1 1₁₁ の中の幾つかが同一の S T S - 1 2 を選択する場合があります、この場合には 1 2 種類未満となるからである。

【 0 0 9 8 】

デコーダ回路 5 2 1 は、1 0 ビットのアドレス情報 2 6 1₀₀ ~ 2 6 1₁₁ のうちのそれぞれ 6 ビット分のアドレス情報を入力するようになっており、それぞれのアドレス値のデコードを行った後の論理和をとることで、6 4 種類中の選択されている S T S - 1 2 の識別を行うようになっている。この識別結果としてデコーダ回路 5 2 1 は 6 4 本の識別信号出力線 5 2 3 の選択されている S T S - 1 2 に対しては “1” を、また選択されていない S T S - 1 2 に対しては “0” をそれぞれ出力する。これら 6 4 本の識別信号出力線 5 2 3 は、8 × 6 4 個の 2 入力アンドゲート 5 2 2 の一方の入力端子に 8 個ずつ共通にして接続されている。これら 8 × 6 4 個の 2 入力アンドゲート 5 2 2 の他方の入力端子には、4 0 G の入力データ 2 3 1 を 8 ビットパラレルで 6 2 2 M b p s ずつ 6 4 本に分けた単位データが入力されることになる。これにより、選択されていない S T S - 1 2 を “0” に固定することができる。すなわち、6 4 組中の 1 2 組が動作するので、動作する信号は 6 4 分の 1 2 で、約 5 . 3 分の 1 となり、約 5 分の 1 に抑えることができる。

【 0 0 9 9 】

選択されていない S T S - 1 2 をこのように “0” に固定することによって、第 1 回路部 2 1 1₀₀ ~ 2 1 1₁₁ のセクタ部の消費電力を削減することができる。このように本来低消費電力化が可能な本発明でこの第 7 の変形例では更に低消費電力化を図ることが可能である。ただし、6 4 対 1 セクタ 2 3 3 側で未使用の S T S - 1 2 をすべてインヒビットしているようなタイプのセクタに対しては更なる低消費電力化の効果はない。

【 0 1 0 0 】

したがって、図 1 4、図 1 5 および図 1 6 に示した本発明の第 5 ～第 7 の変形例では、6 4 対 1 セレクタの選択に当たって、この 6 4 対 1 セレクタ単体での消費電力を犠牲にして回路規模が小さいタイプのセレクタあるいはレイアウト性に優れたセレクタを用いることが可能になり、更に 6 4 対 1 セレクタの選択肢が広がる。

【 0 1 0 1 】

図 1 7 ～図 1 9 は回路規模と消費電力の関係を実施例および変形例のアーキテクチャ構成の場合について示したものである。これらは、M O S (metal oxide semiconductor) トランジスタのゲート長を 0. 2 5 μ m で実現した場合を示している。このうち図 1 7 は、図 2 に示した実施例の場合であり、これを図 8 に示した第 1 の変形例のセレクタ 2 8 1 と図 9 に示した第 2 の変形例のセレクタ 2 9 1 について表わしている。図中で M ゲートとはメガゲートの意味である。

【 0 1 0 2 】

図 1 8 は、図 1 4 および図 1 5 に示した本発明の第 5 の変形例と第 6 の変形例のアーキテクチャ構成の場合について示したものである。この図 1 8 では回路規模の中にこれらの図の 2 入力アンドゲート 4 8 1 で示した回路部分による増加分も含んでいる。図 1 9 は、図 1 6 に示した本発明の第 7 の変形例のアーキテクチャ構成の場合について示したものである。この図 1 9 ではアンドゲート 5 2 2 で示した回路部分による増加分も含んでいる。

【 0 1 0 3 】

発明の更に他の変形可能性

【 0 1 0 4 】

以上説明した実施例および変形例では、図 2 に示したように 6 2 2 M b p s の信号がすでに 8 ビットパラレルな信号となっていることを前提としている。しかしながら、これに限るものではなく、6 2 2 M b p s の信号が 8 ビットのシリアルデータのままであってもよい。この場合には、図 2 に示した回路と比べると、6 4 対 1 セレクタ 2 3 3 は 8 個に対して 1 個で済むことになる。ただし、8 ビットのデータを保持するためにデータラッチフリップフロップ回路 2 4 2 は 8 個×

2面と図2の回路の場合と同様の数が必要である。また、周辺回路のタイミングについては回路の構成が異なるので多少の変更が必要である。

【0105】

この変形例の回路構成は省略するが、回路の規模の大半は図2で示した64対1セクタ233が占めている。したがって、この回路をCMOS集積回路で実現した場合には、64対1セクタ233の減少により回路規模が約8分の1となる。回路の動作周波数は78MHzのクロック信号253の代わりに622MHzのクロック信号を使用するために8倍に増加する。このため、回路の消費電力は図2に示した回路とほぼ同一の値となる。

【0106】

このようにスイッチをCMOS-LSIで集積化する場合には、信号の平行数に関係なく消費電力がほぼ一定となる。このため、実際に回路を集積化する場合には、(イ)レイアウトのしやすさ等の観点からの回路規模、(ロ)タイミング設計の容易性という観点からのクロックスピードおよび(ハ)使用するデバイスの性能といった点を考慮して、シリアル処理を行うか、平行処理を行うかの判断を行う。また、平行数はクロック周波数が78MHzの8ビット平行なものに限る必要はなく、クロック周波数が約311MHzの2ビット平行なもの、クロック周波数が約155MHzの4ビット平行なもの、クロック周波数が約39MHzの16ビット平行なもの等のように使用するデバイスの性能を考慮して適宜選択することができる。

【0107】

更に実施例ではデータラッチフリップフロップ回路242を第1のフリップフロップ回路243と第2のフリップフロップ回路244の2組のフリップフロップ回路から構成したが、これに限るものではない。たとえばこれをメモリあるいはラッチで構成することも可能である。この場合にも、レイアウトの点や消費電力等を考慮して最適な形態を選ぶ必要がある。また、データラッチフリップフロップ回路242の回路動作を非同期型に変えると、クロックラインの消費電力が削減できるので、結果として回路全体の消費電力を低減することができる。

【0108】

また、実施例および変形例では64対1セレクタを12個ずつ64系統に分けてこれを使用してマトリクススイッチ回路を構成する場合を説明したが、これを 12×64 のマトリクスで表わすとする、 $n \times m$ （ただし n および m は2以上の任意の整数）に一般化して任意のサイズのマトリクススイッチ回路に本発明を適用することができることは当然である。また、使用するクロック周波数もこれに応じて所望のものを選択することができることも当然である。更に本発明の第2の変形例を示した図9ではインバータ297を使用した、このインバータ297を使用せずに入力4ビットのアドレスラインからの信号296Aの4本のみとし、負論理入力形式の4入力アンド回路を使用するようにしてもよいことは当然である。

【0109】

【発明の効果】

以上説明したように請求項1記載の発明によれば、 m 個の単位データから1個の単位データを選択する m 対1セレクタを $n \times m$ 個用意し、これらの m 対1セレクタに n 個ずつ m 系統に分けられたフレームのそれぞれのデータを並列に入力するようにしているので、それぞれの m 対1セレクタが1つの単位データを選択するように設定されることになり、 m 対1セレクタを構成する m 個のスイッチング回路部分の1つのみが選択動作に寄与するように回路動作を行わせることで残りの回路部分の消費電力を抑えることが可能になる。また、回路のレイアウトの設計が容易であるという利点もある。

【0110】

また請求項2記載の発明によれば、請求項1記載の発明における $n \times m$ のマトリクスを前記した単位データがSTS-1の例の場合で具体的に示したものであり、64対1セレクタはそれぞれ64の入力の中から1つを選択する回路構成となっているので、64個のスイッチング回路部分の1つのみが選択動作に寄与するように回路動作を行わせることで残りの回路部分の消費電力を抑えることが可能になる。また、回路のレイアウトの設計が容易であるという利点もある。

【0111】

更に請求項3記載の発明によれば、 m 対1セレクタから比較的高速に単位デー

タが次々と選択されて出力されるときであっても、第1および第2のメモリを単位データの書き込みが行われる周期で書き込みの行われるメモリと読み出しの行われるメモリに交互に切り替えることで、単位データの書き込みや読み出しの時間的な余裕を持たせることが可能になる。

【0112】

また請求項5記載の発明によれば、特定の1組のゲートが導通し、残りの63組のゲートが遮断状態となっているので、全体的な消費電力を極めて低く抑えることができる。

【0113】

更に請求項6記載の発明によれば、請求項5記載の発明と同様にゲートの遮断制御によって消費電力の低減を図ることができる。

【0114】

また請求項7記載の発明によれば、第1のメモリの書き込んだデータを第2のメモリが読み出して書き込み用に保持するので、m対1セクタから単位データが高速に読み出される場合であっても後段の回路がこれらの単位データを安定して読み出すことができる。

【0115】

更に請求項8記載の発明によれば、FPGA部品を備えたLSIやFPGA部品（パート）そのものでスイッチを実現するので、規模と消費電力の両面が優れたマトリクススイッチ回路を構成することができる。

【0116】

また請求項9記載の発明によれば、64対1セクタの入力端子側が12タイムスロット中に1回（ただし変化点の数で数えると2回）しか動作しないことになるので、64対1セクタの入力の信号レートが6分の1に下がったことに相当する結果が生じ、その消費電力が6分の1となるという利点が生じる。

【0117】

更に請求項10記載の発明によれば、マトリクススイッチ回路の64組中の12組の回路部分が動作するので、動作する信号は64分の12で、約5.3分の1となり、約5分の1に抑えることができる。

【図面の簡単な説明】

【図 1】

本発明の一実施例におけるマトリクススイッチ回路を使用したデジタルクロスコネクトシステムの要部を表わしたシステム概略構成図である。

【図 2】

本実施例の第 1 回路部の構成を示すブロック図である。

【図 3】

本実施例の第 2 回路部の構成を示すブロック図である。

【図 4】

本実施例の第 3 回路部の構成を示すブロック図である。

【図 5】

本実施例の第 3 回路部の全体的な構成の概要を表わした説明図である。

【図 6】

本実施例のマトリクススイッチ回路の各部の動作を示すタイミング図である。

【図 7】

本実施例で説明した 6 2 2 M b p s フォーマット (S T S - 1 2) と 5 2 M b p s フォーマット (S T S - 1) の関係を示す説明図である。

【図 8】

本発明の第 1 の変形例として低消費電力を実現するセレクタの第 1 の例を示した回路図である。

【図 9】

本発明の第 2 の変形例として低消費電力を実現するセレクタの第 2 の例を示した回路図である。

【図 1 0】

本発明の第 3 の変形例として図 1 に示したマトリクススイッチ回路における第 1 回路部のブロック図である。

【図 1 1】

第 3 の変形例におけるマトリクススイッチ回路の各部の動作を示すタイミング図である。

【図 1 2】

本発明の第 4 の変形例として図 1 に示したマトリクススイッチ回路における第 1 回路部の変形を表わしたブロック図である。

【図 1 3】

本発明第 4 の変形例の更なる変形として、オーダで切り替えが不可能な F P G A 部品を使用した際の第 1 回路部の構成を表わしたブロック図である。

【図 1 4】

本発明の第 5 の変形例として図 1 に示したマトリクススイッチ回路における第 1 回路部の変形を表わしたブロック図である。

【図 1 5】

本発明の第 6 の変形例として図 1 に示したマトリクススイッチ回路における第 1 回路部の変形を表わしたブロック図である。

【図 1 6】

本発明の第 7 の変形例として図 1 に示したマトリクススイッチ回路における第 2 回路部の変形を表わしたブロック図である。

【図 1 7】

図 2 に示した実施例のアーキテクチャ構成の場合について回路規模と消費電力の関係を示した説明図である。

【図 1 8】

図 1 4 および図 1 5 に示した本発明の第 5 の変形例と第 6 の変形例のアーキテクチャ構成の場合について回路規模と消費電力の関係を示した説明図である。

【図 1 9】

図 1 6 に示した本発明の第 7 の変形例のアーキテクチャ構成の場合について回路規模と消費電力の関係を示した説明図である。

【図 2 0】

経済的で高品質なネットワークを実現する従来のデジタルクロスコネクトシステムを表わしたシステム構成図である。

【図 2 1】

図 2 0 に示した第 1 の局の構成を更に具体的に表わしたブロック図である。

【図 2 2】

従来提案されたクロスポイントスイッチ回路の構成を表わした回路図である。

【図 2 3】

従来の他の手法として 7 6 8 対 1 セレクタを一般的な CMOS ゲート回路で構成したブロック図である。

【図 2 4】

従来の手法の更に他の例としてのマトリクススイッチ回路を示した説明図である。

【図 2 5】

図 2 4 に示したメモリの一部を具体的に表わした説明図である。

【符号の説明】

2 0 1 デジタルクロスコネクトシステム

2 0 2 光リング

2 0 5 局

2 0 6 マトリクススイッチ回路

2 1 1、2 1 1 A、2 1 1 B、2 1 1 C、2 1 1 D、2 1 1 E、2 1 1 F 第

1 回路

2 1 2 第 2 回路部

2 1 3 第 3 回路部 (マトリクススイッチ回路の主要部)

2 2 2 5 ビットカウンタ

2 2 3 1 2 対 1 セレクタ

2 3 3 6 4 対 1 セレクタ

2 3 5、2 3 5 B S T S - 1 選択回路

2 4 2、2 4 2 A、2 4 2 E データラッチフリップフロップ回路

2 4 3、4 1 1 第 1 のフリップフロップ回路

2 4 4、4 1 2 第 2 のフリップフロップ回路

2 5 7 読み出し面切替セレクタ

2 8 1 セレクタ

2 8 6 6 ツー 6 4 (6 t o 6 4) デコーダ

294、481 2入力アンドゲート

299 4対1セレクタ

301 16入力オアゲート

414 デコーダ

441 バッファ

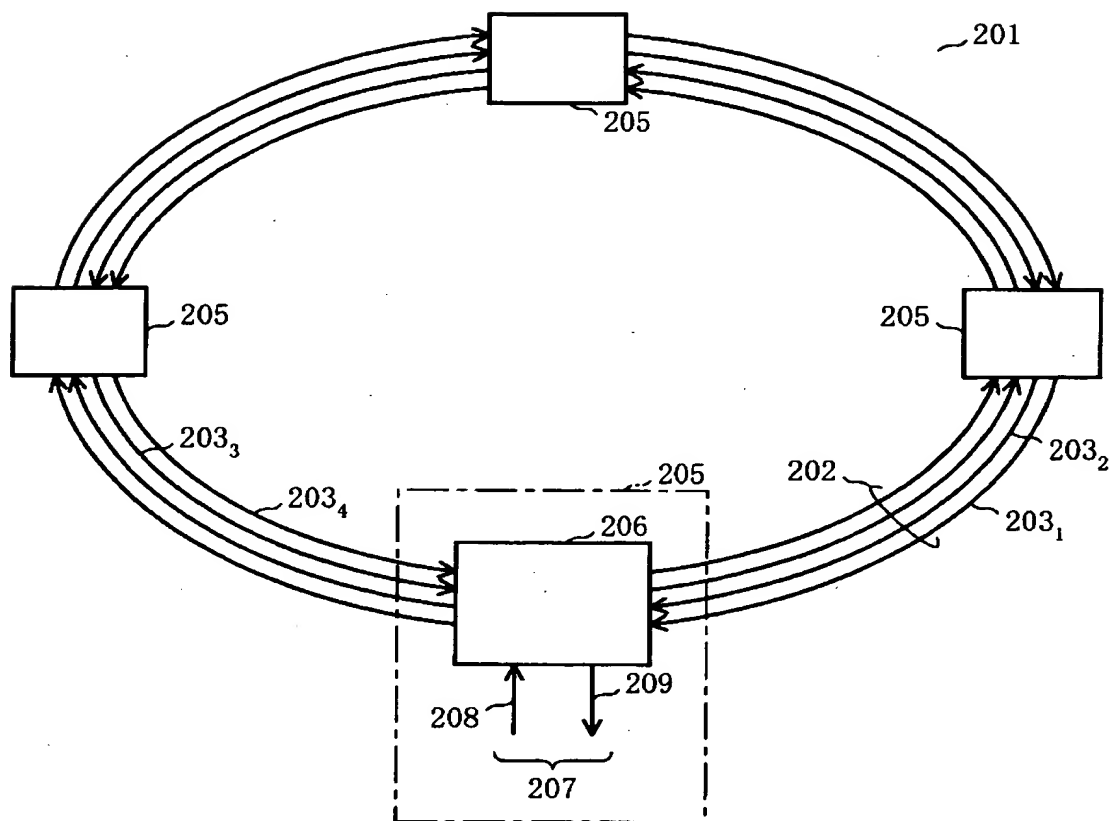
461 動作面選択セレクタ

521 デコーダ回路

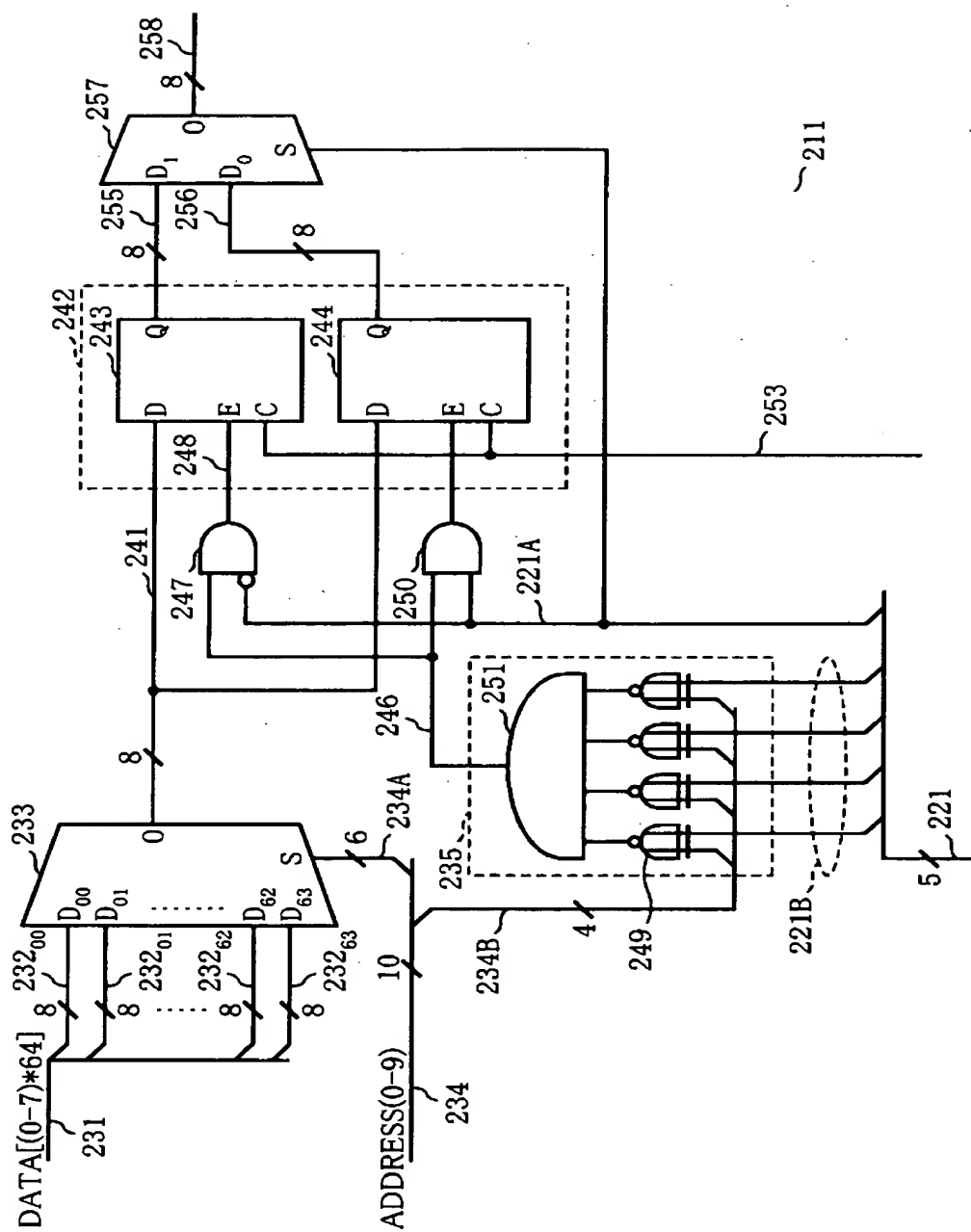
【書類名】

図面

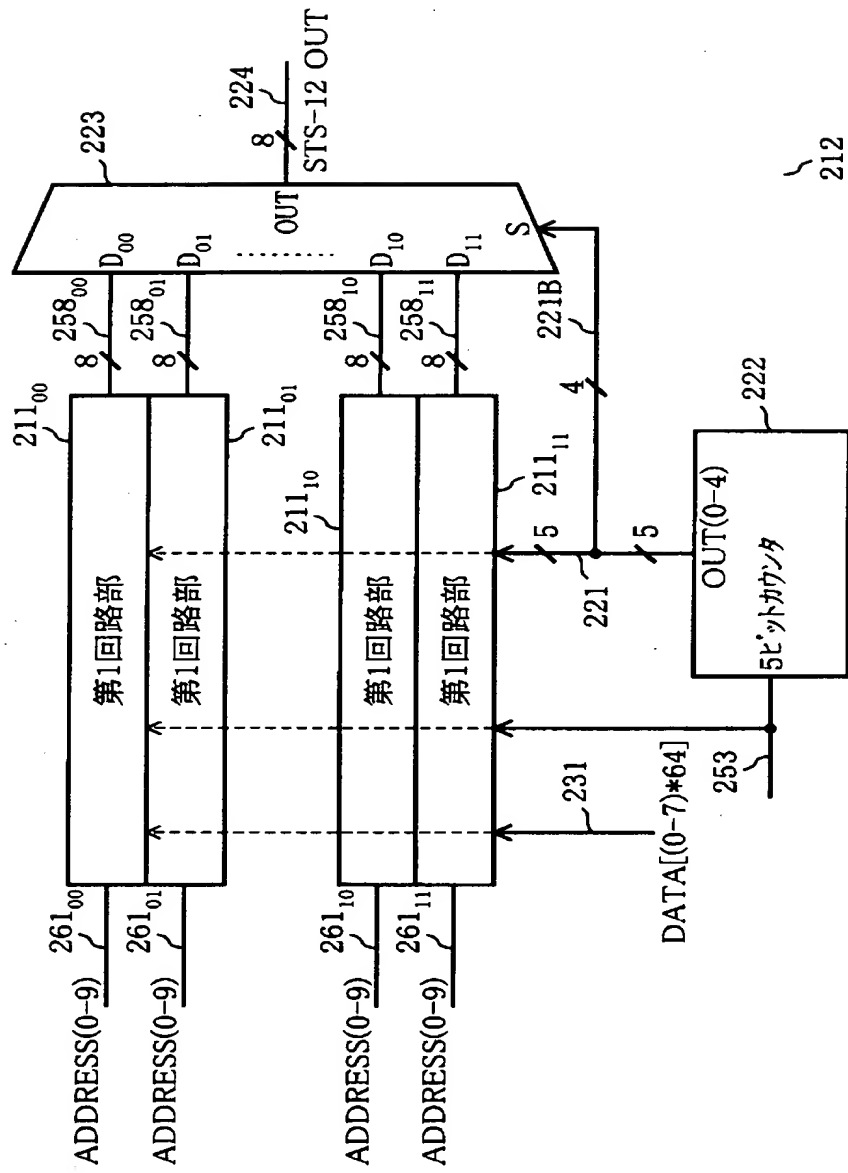
【図 1】



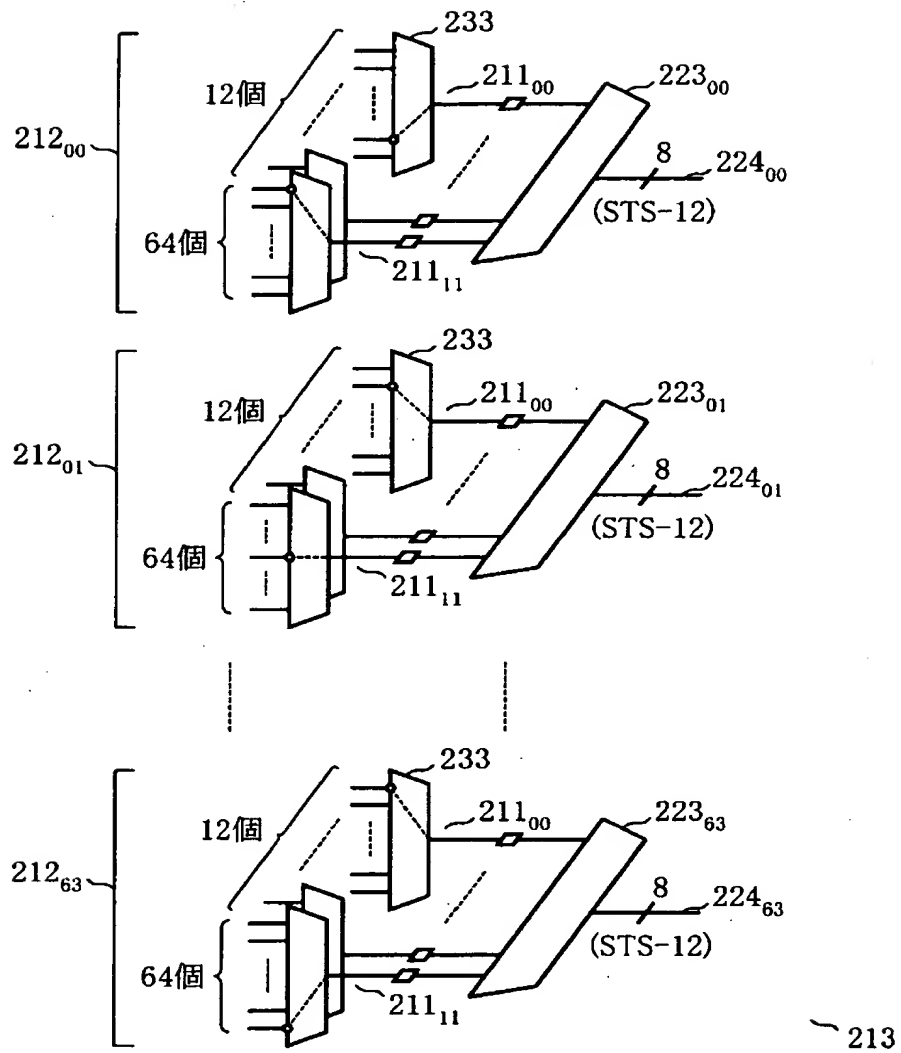
【図 2】



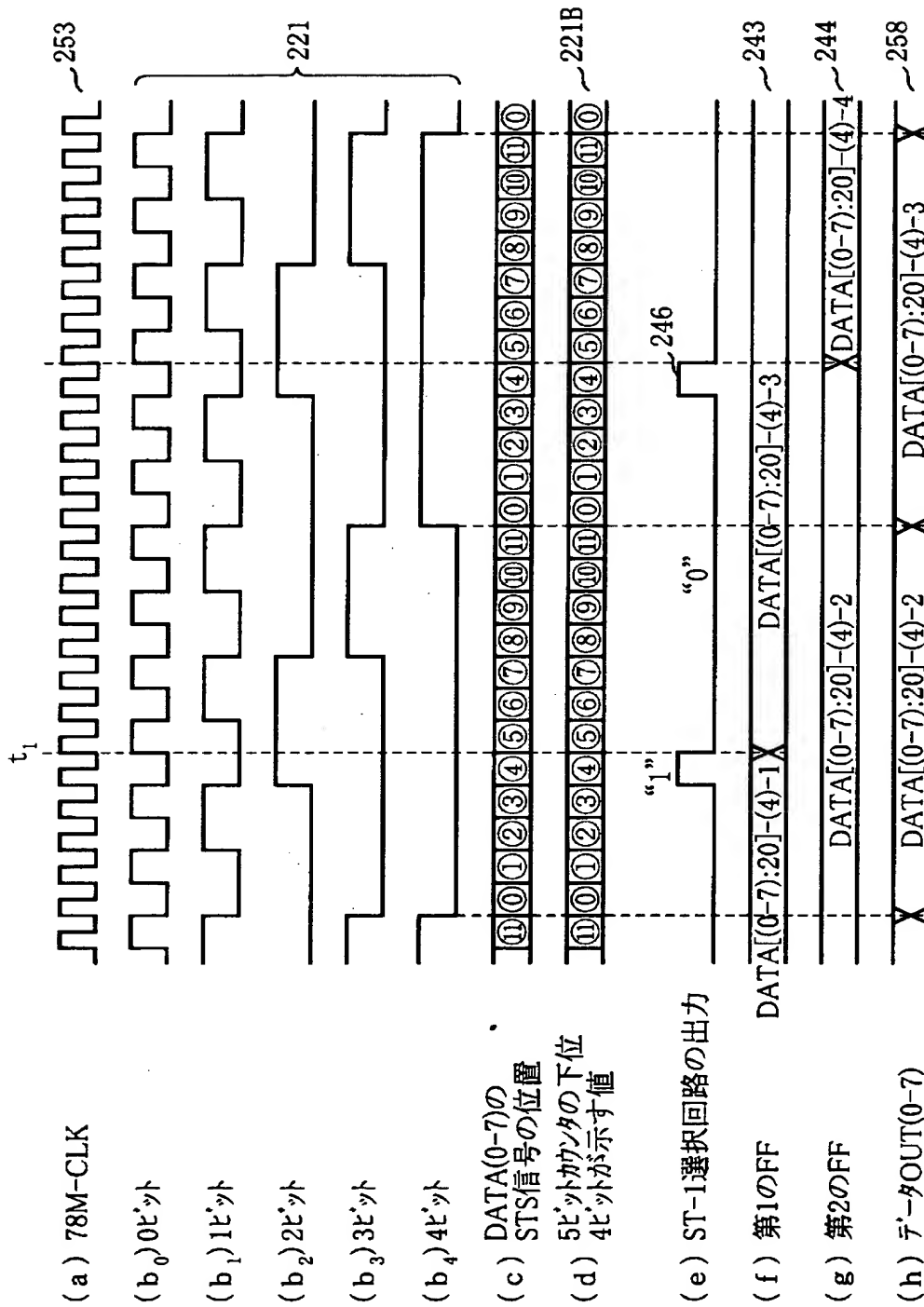
【図 3】



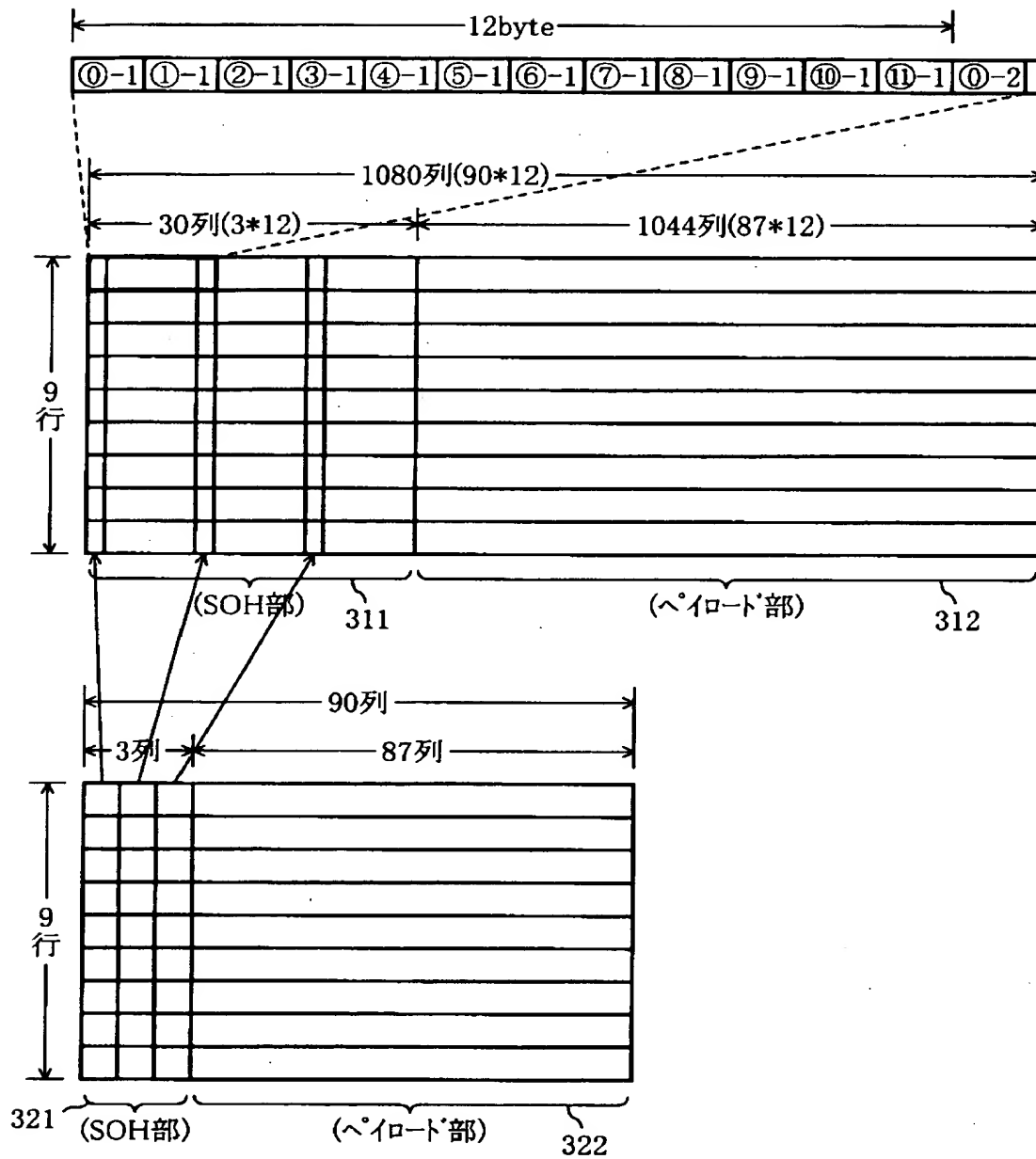
【図 5】



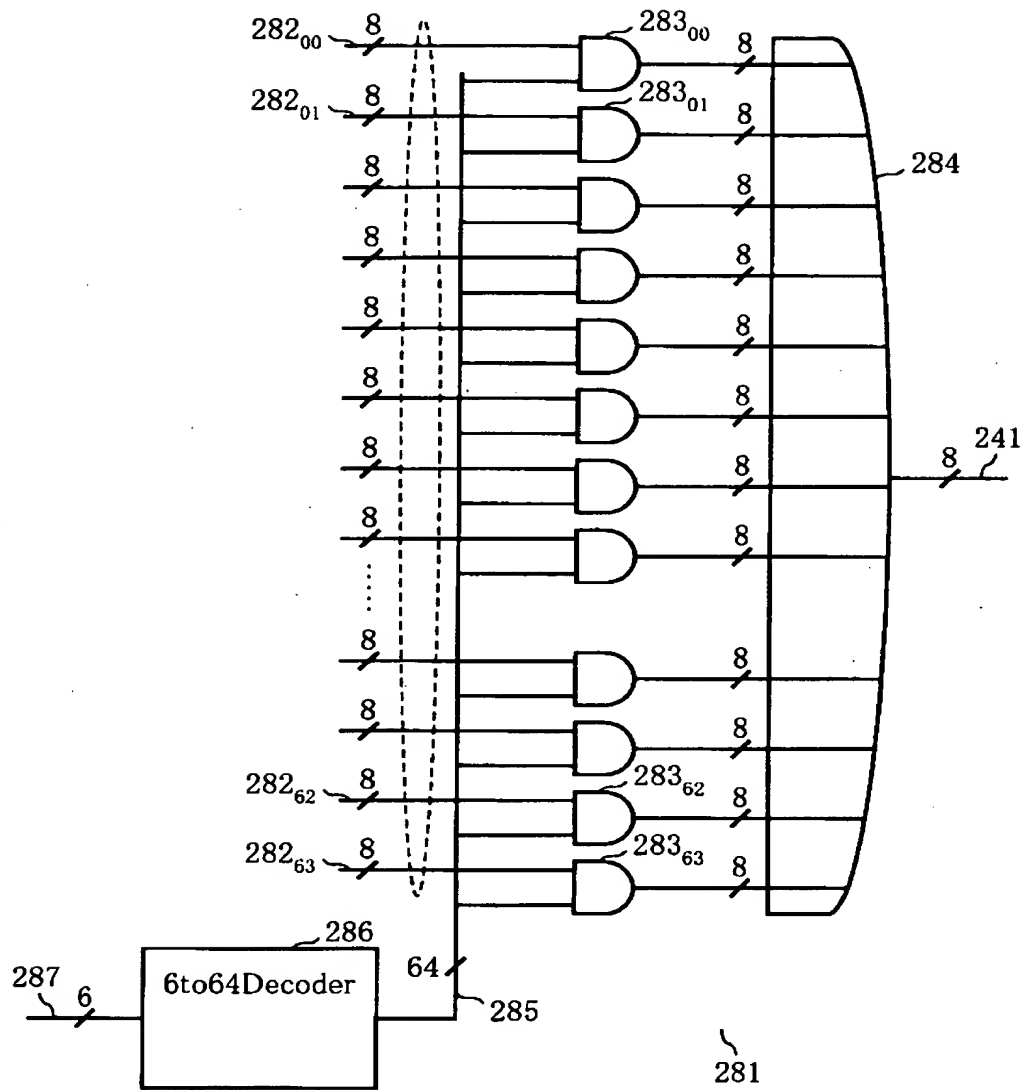
【図 6】



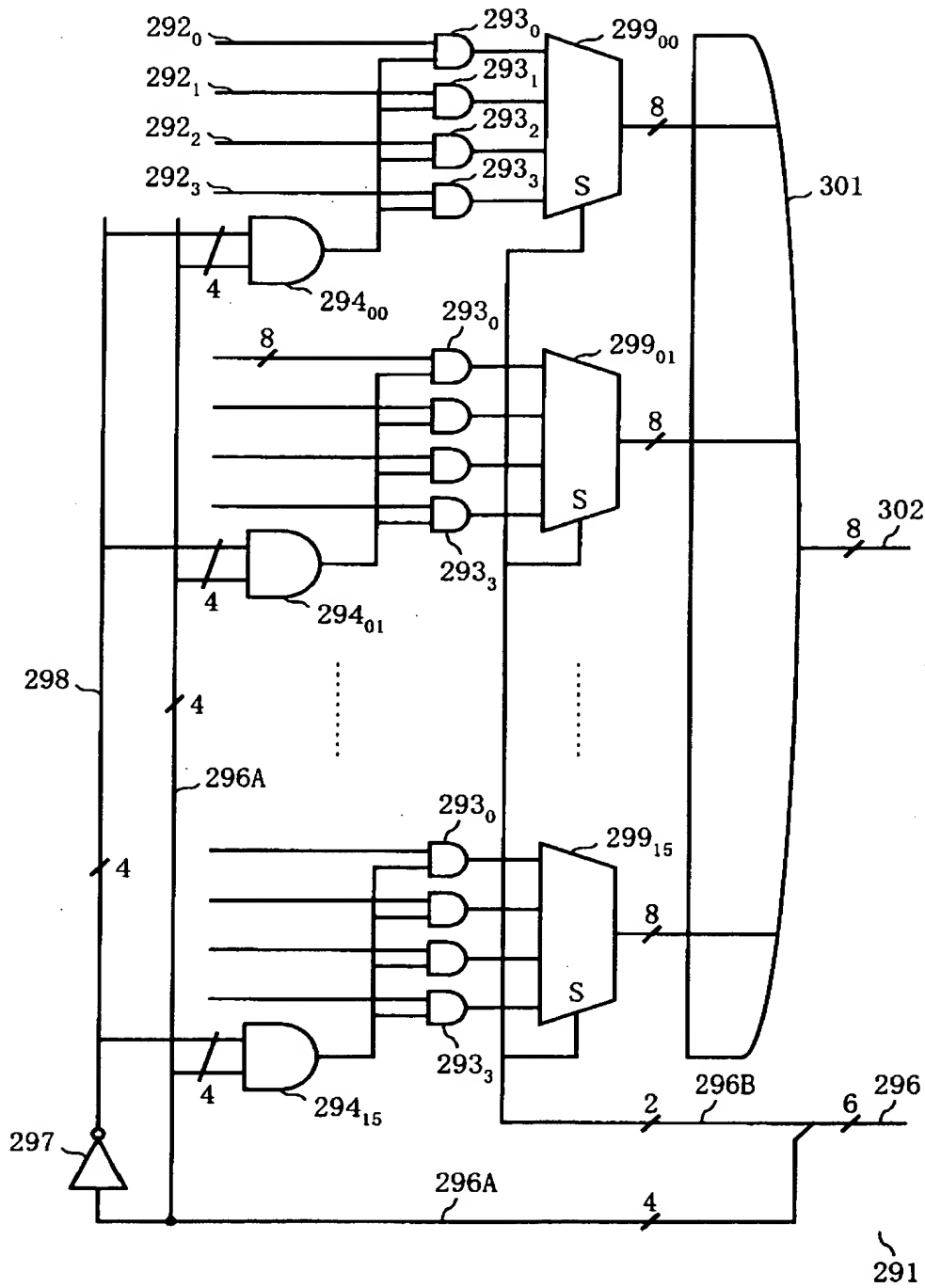
【図 7】



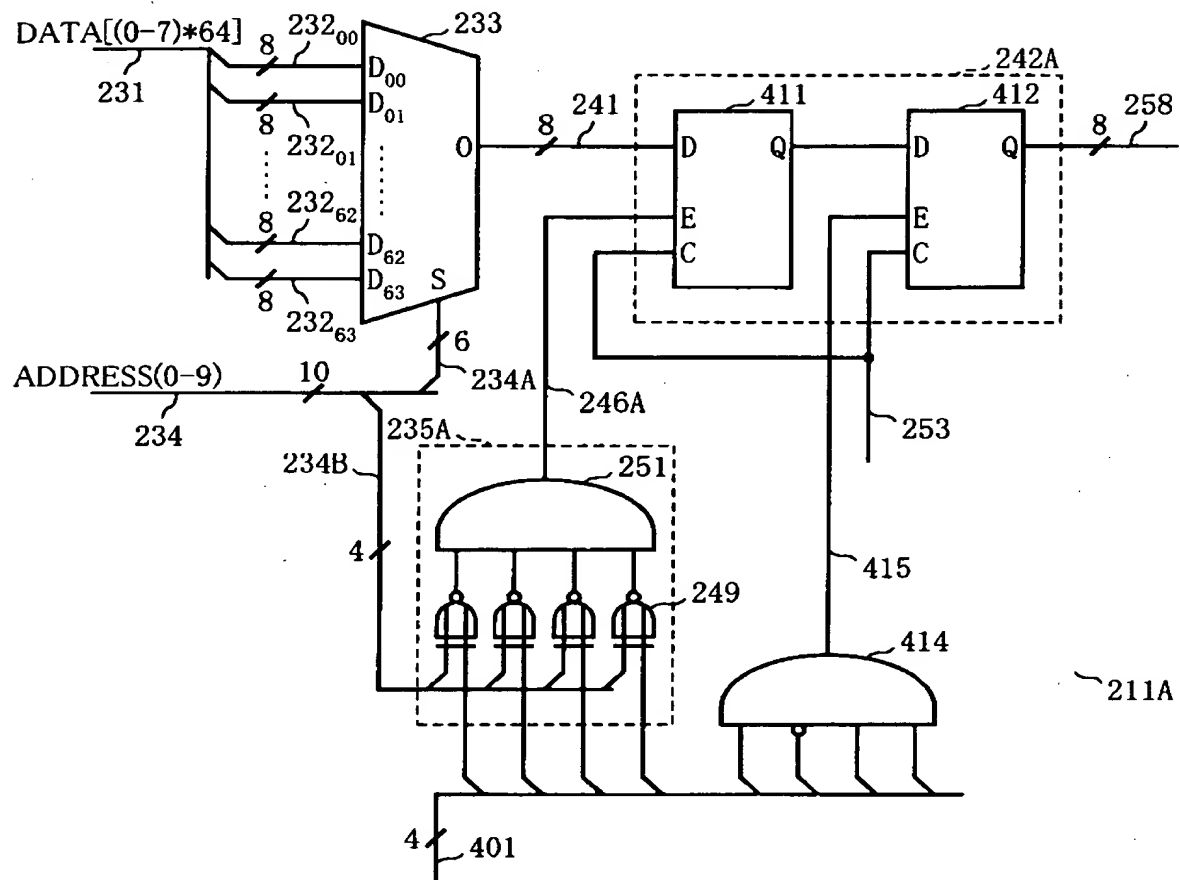
【図 8】



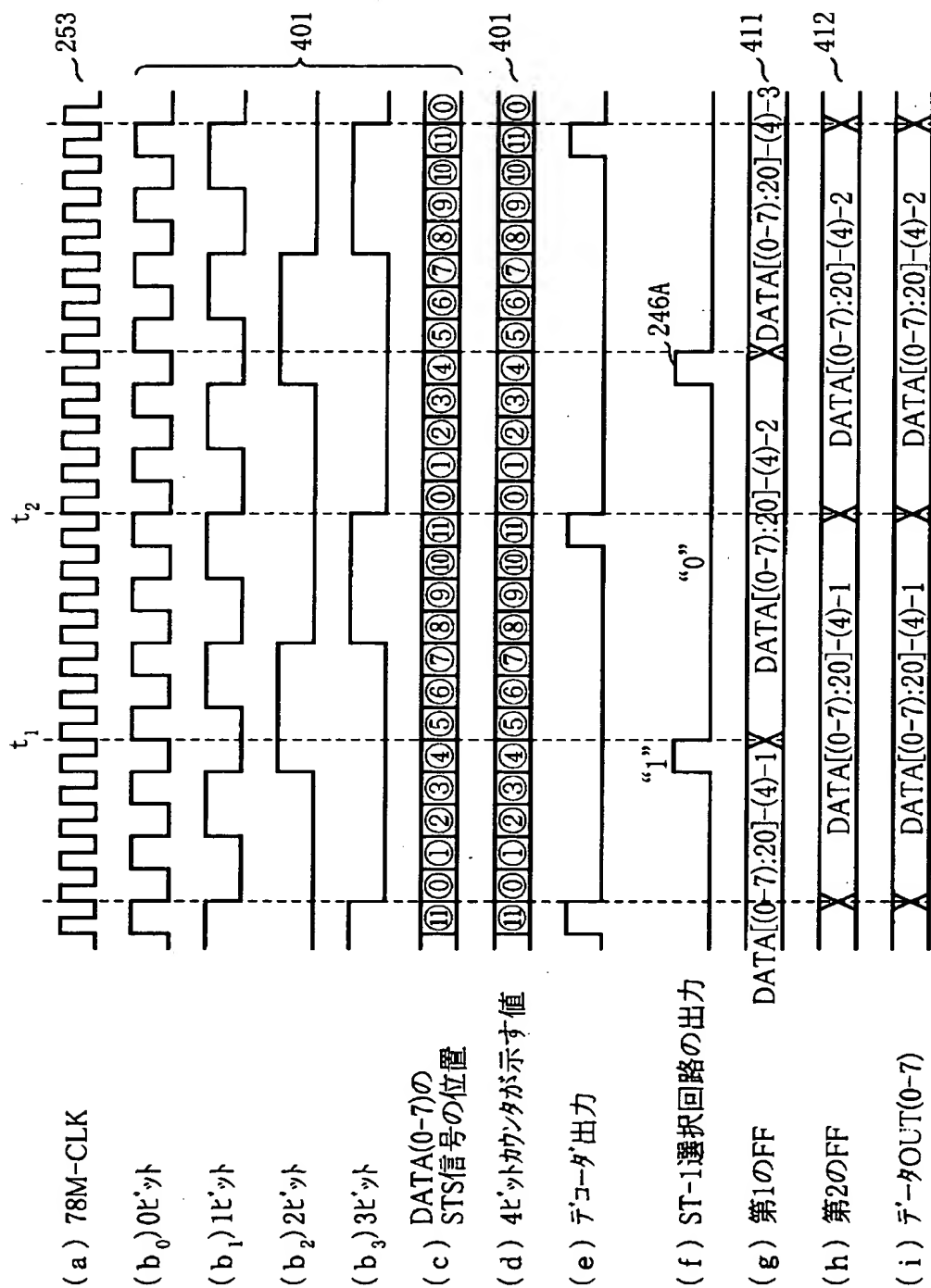
【図 9】



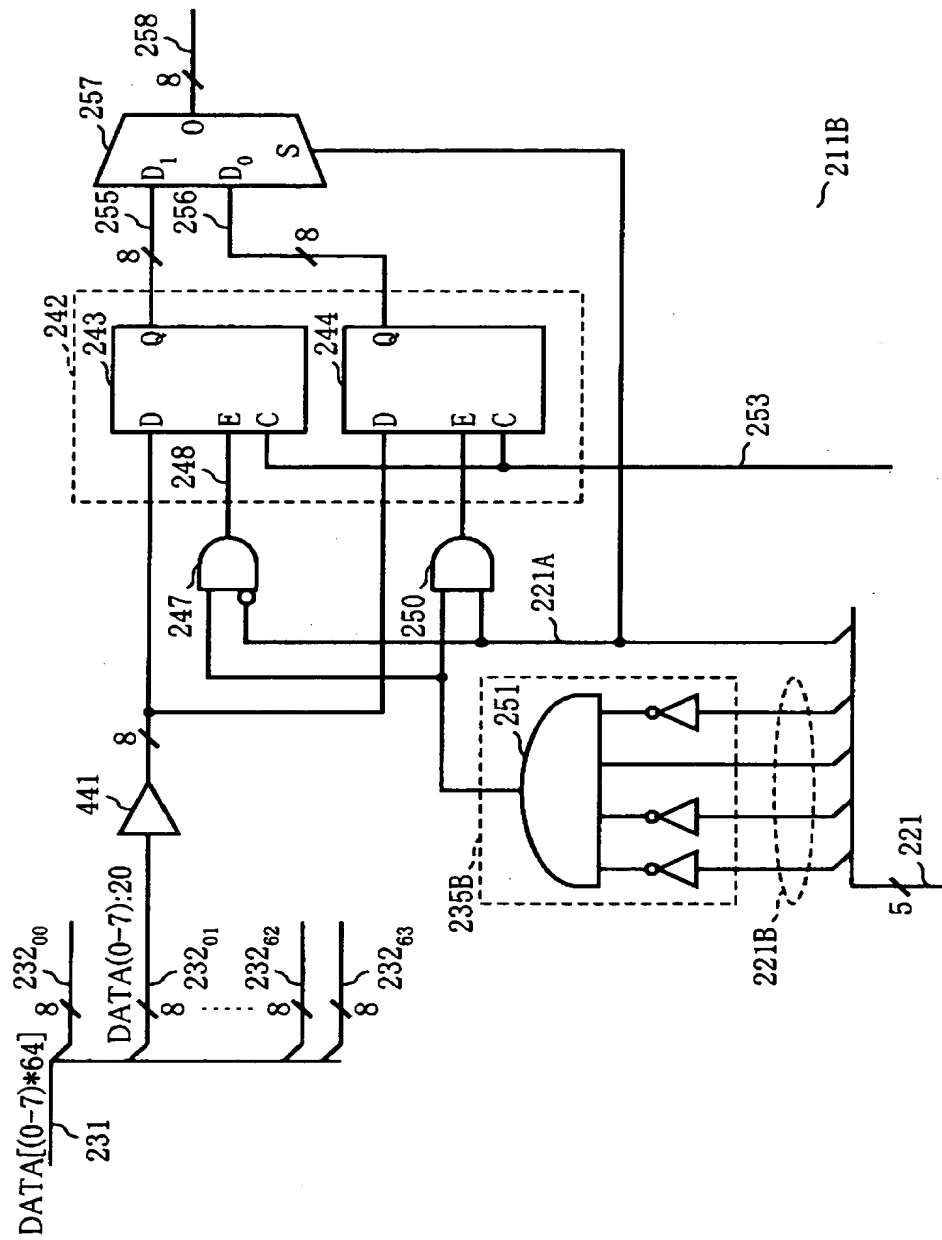
【図 10】



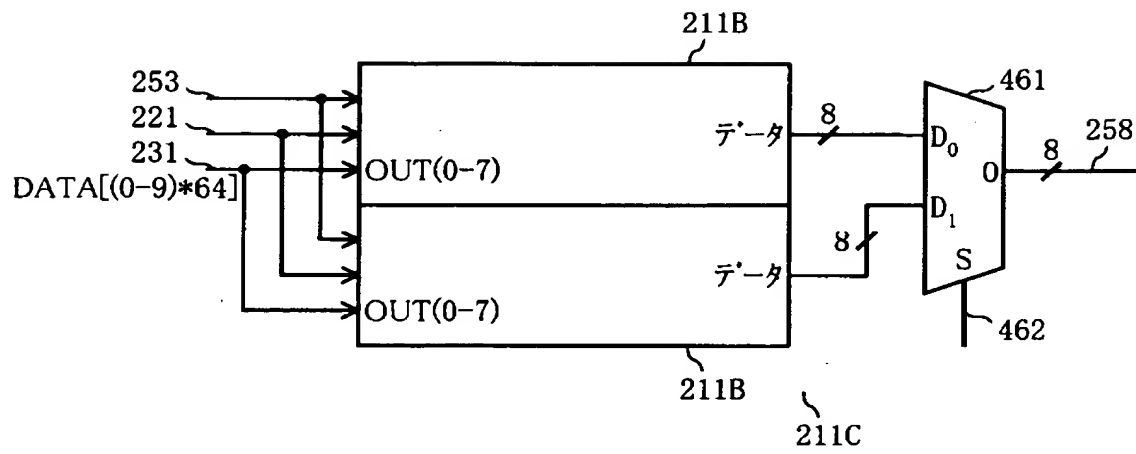
【図 1 1】



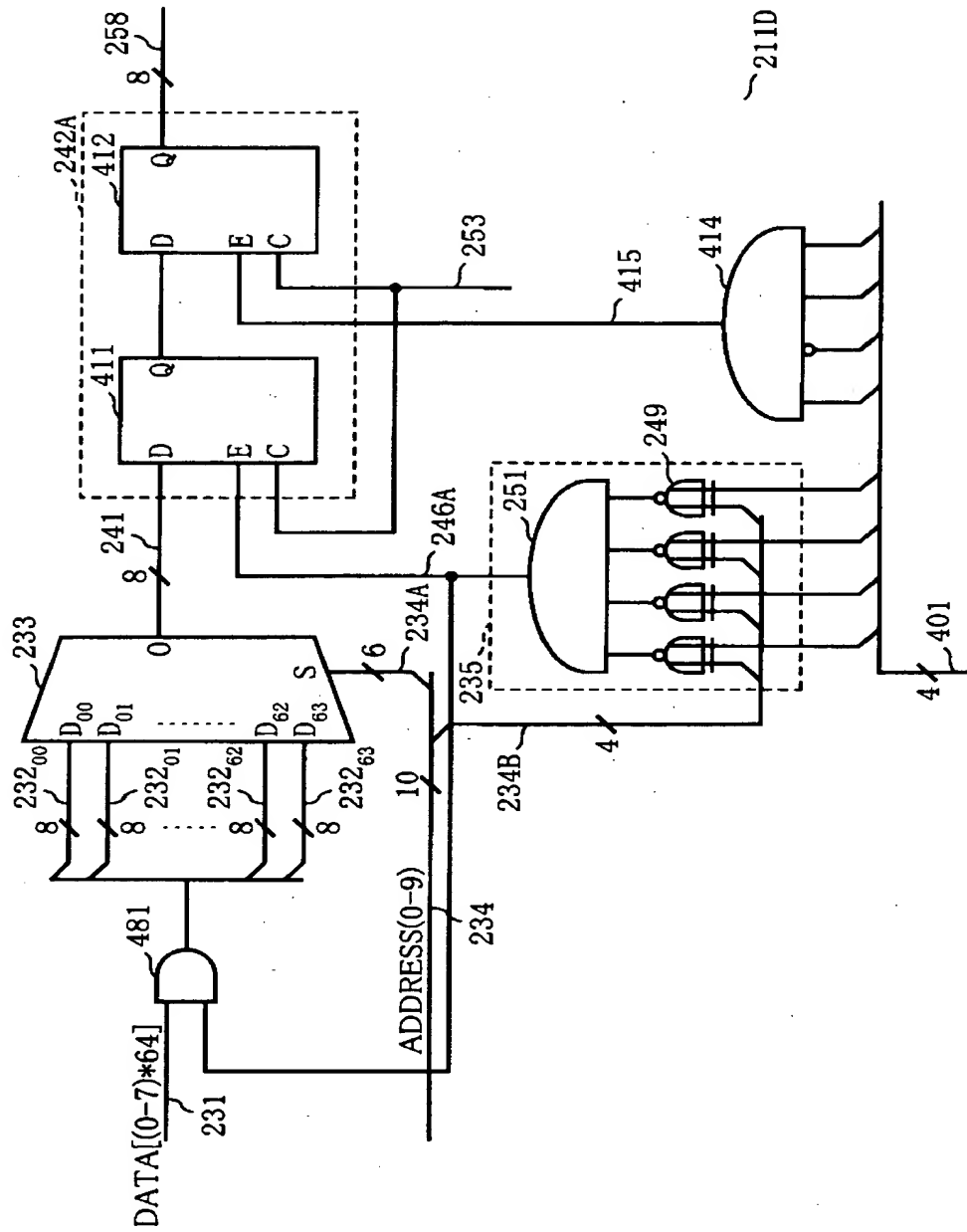
【図 12】



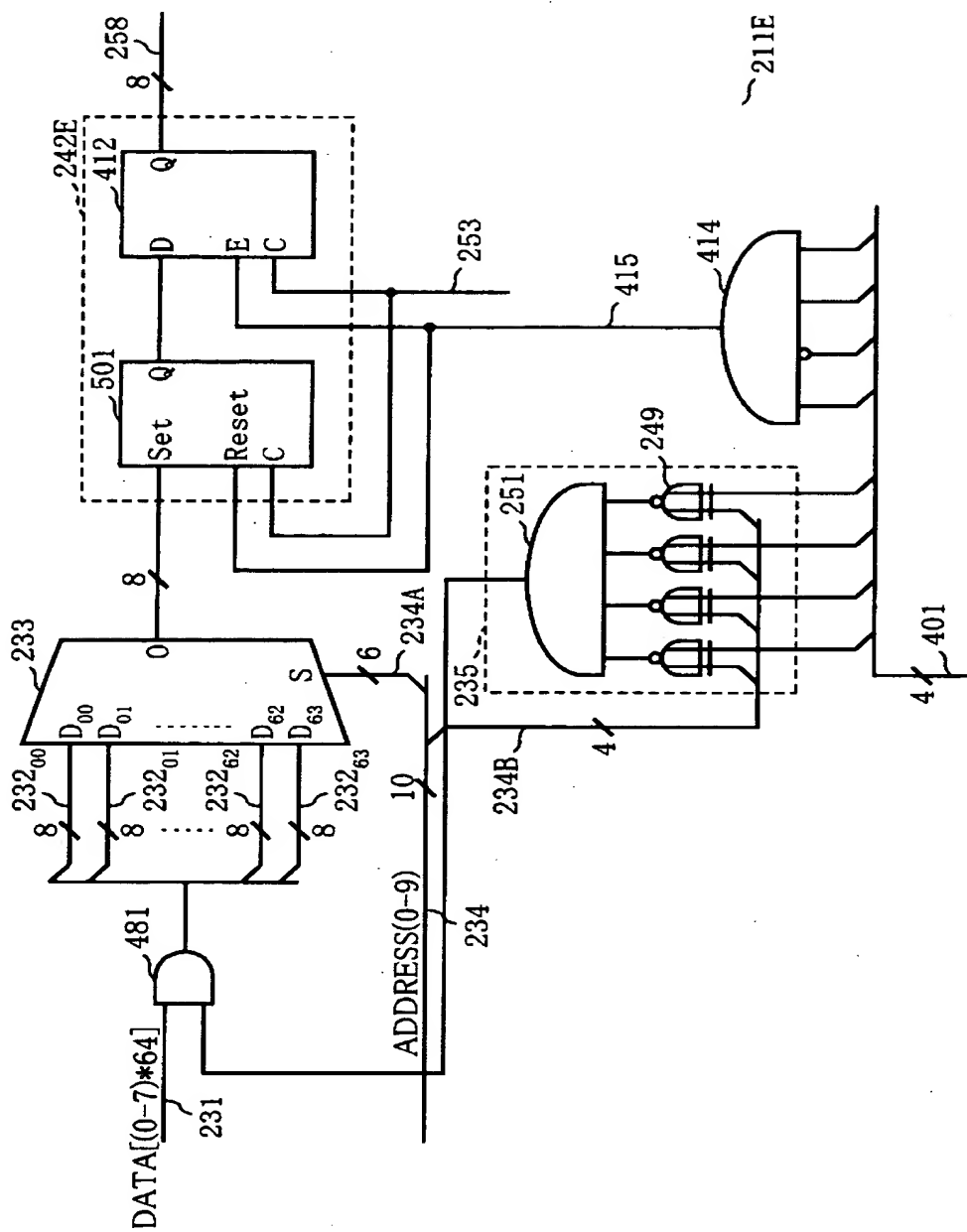
【図 1 3】



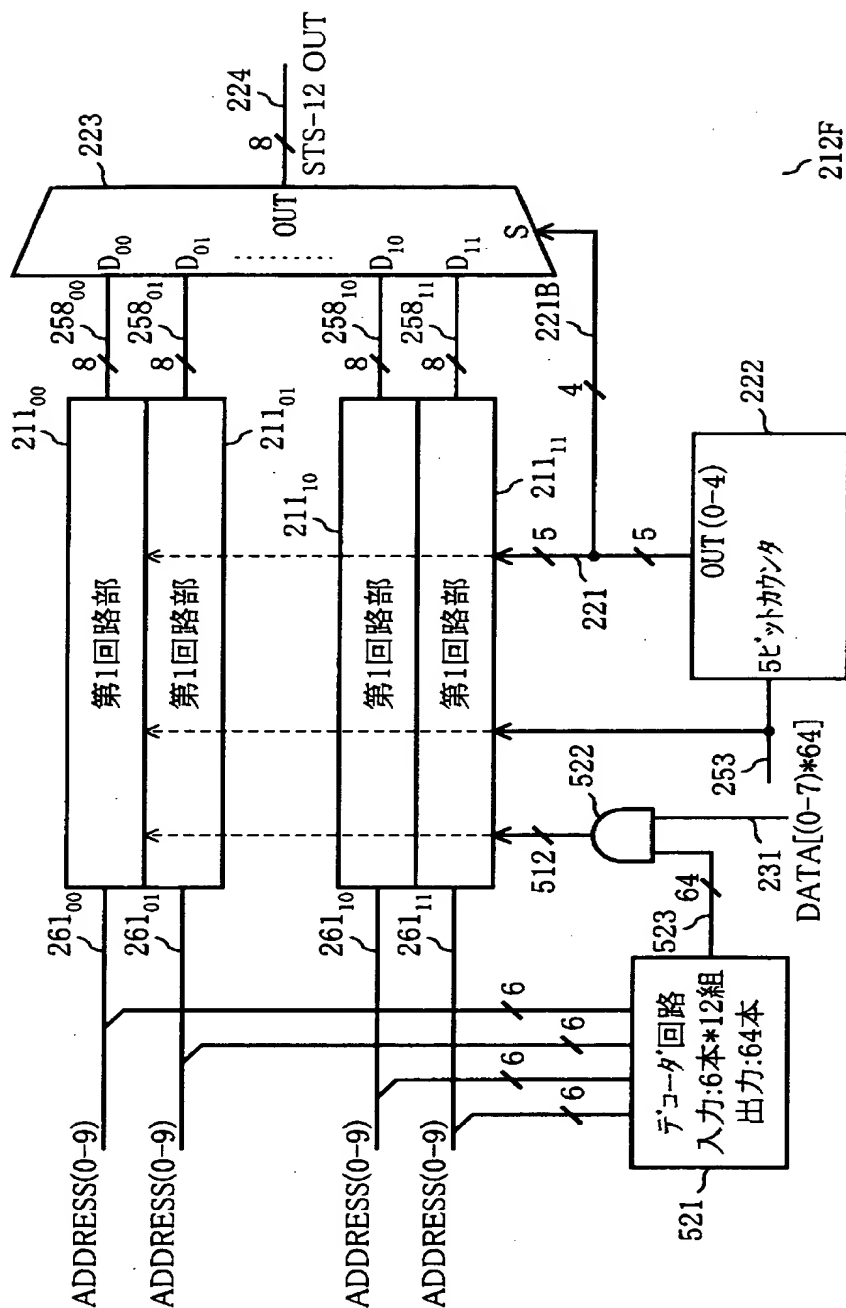
【図 14】



【図 15】



【図16】



【図17】

	図8方式	図9方式	論理合成による 規模最小化合成
消費電力(mW)	120	180	934
回路規模(Mゲート)	0.94	1.3	1.1

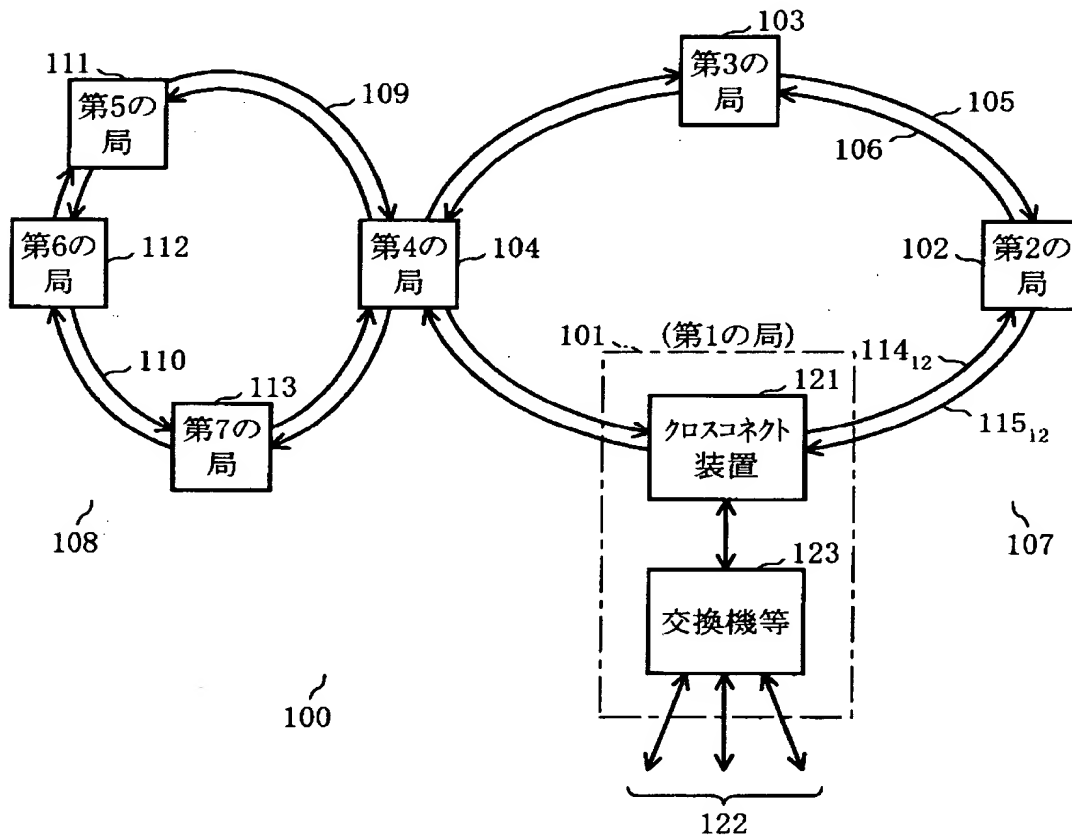
【図 1 8】

	図8方式	図9方式	論理合成による 規模最小化合成
消費電力(mW)	20	30	156
回路規模(Mゲート)	1.2	1.6	1.3

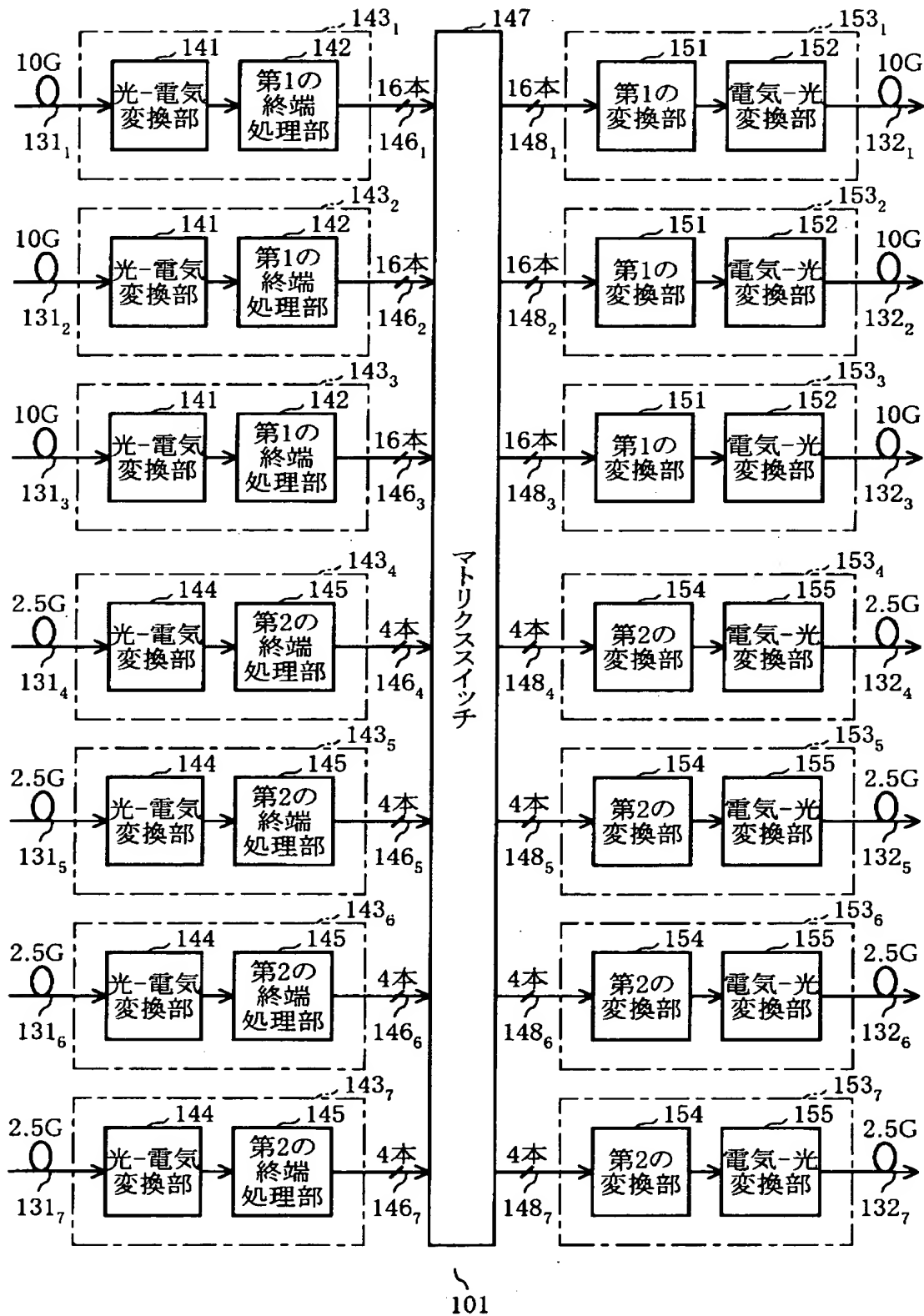
【図 1 9】

	図8方式	図9方式	論理合成による 規模最小化合成
消費電力(mW)	120	180	187
回路規模(Mゲート)	1.0	1.4	1.2

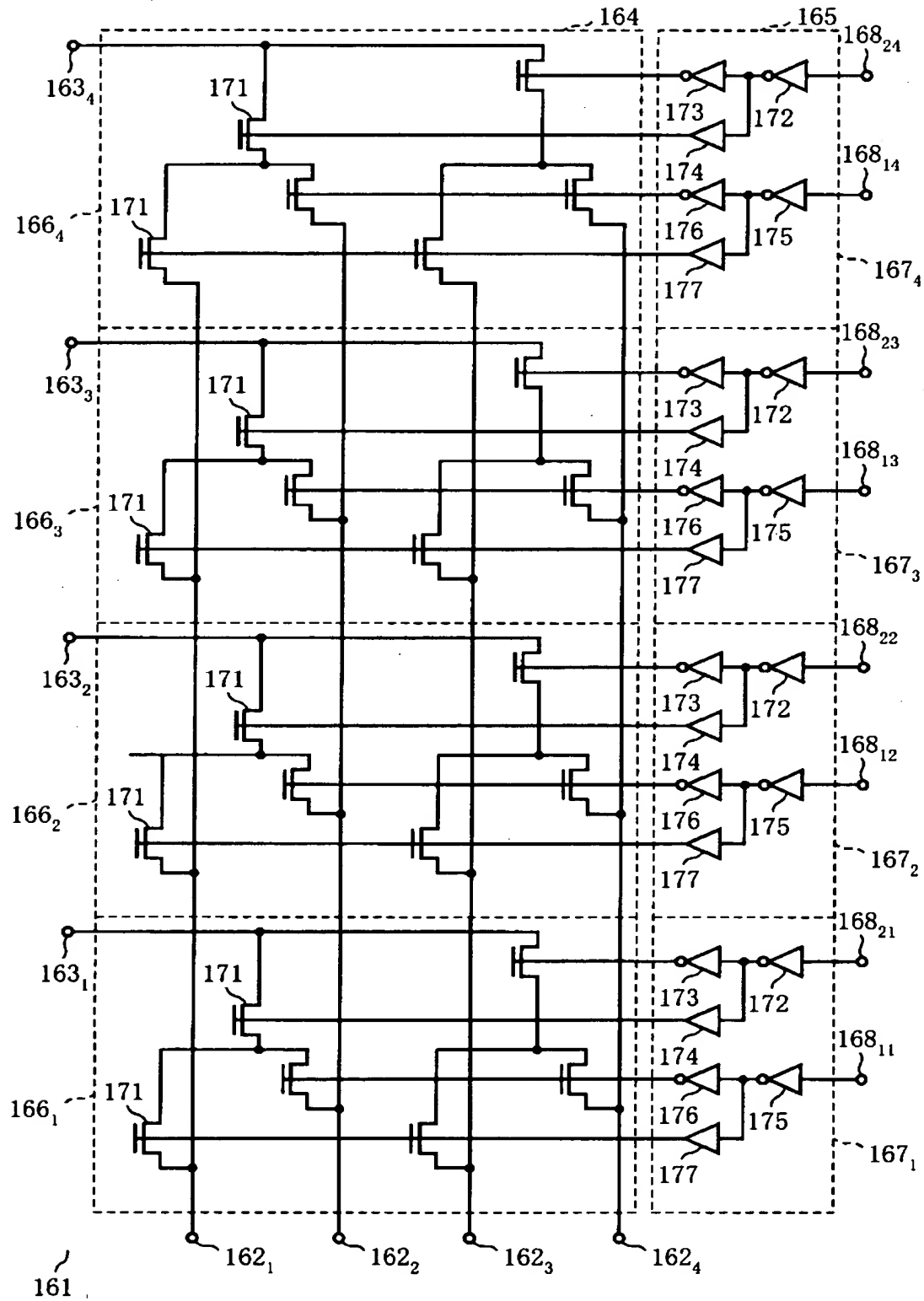
【図 2 0】



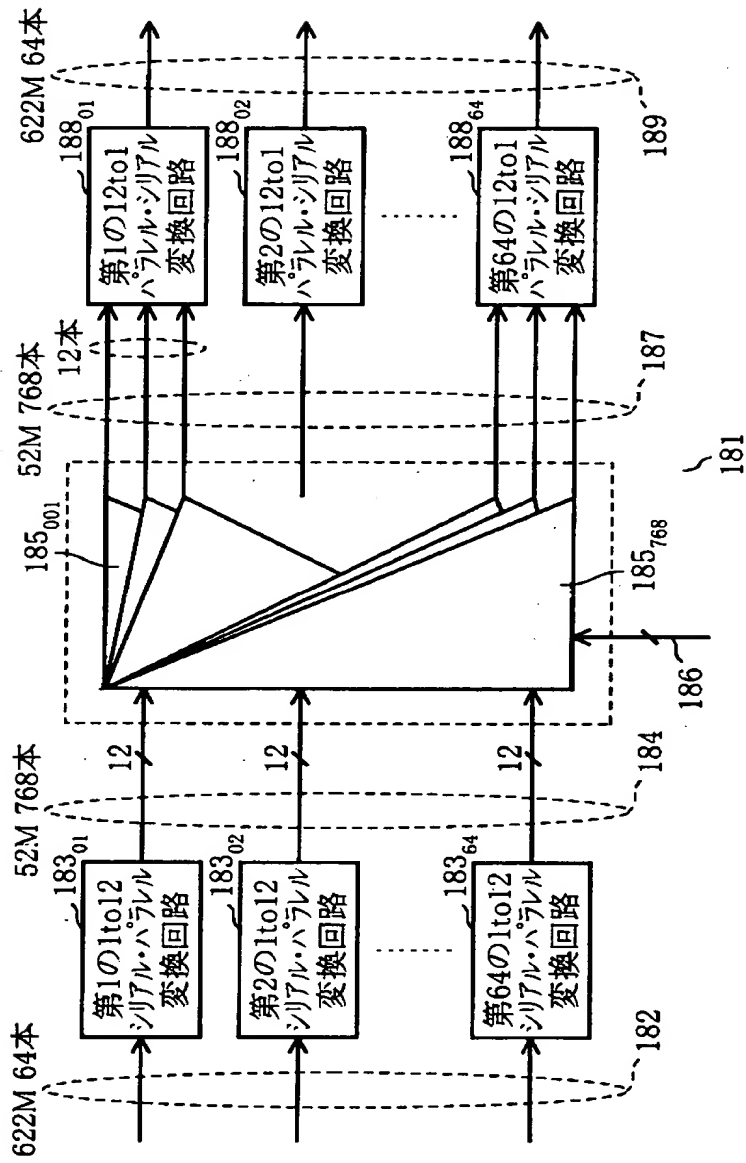
【図 2 1】



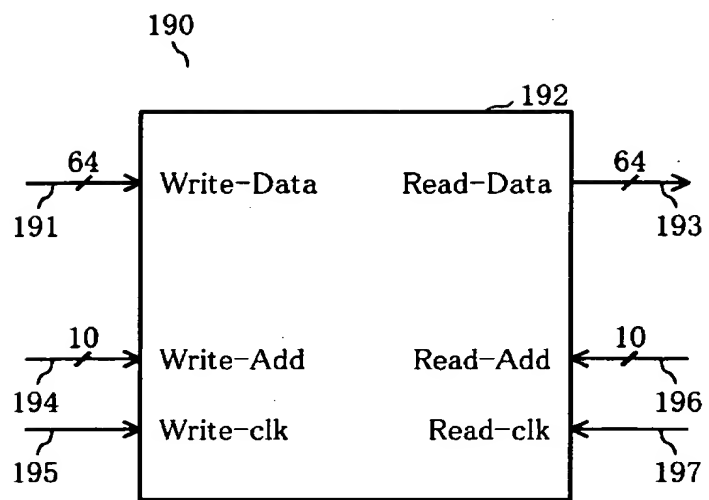
【図 22】



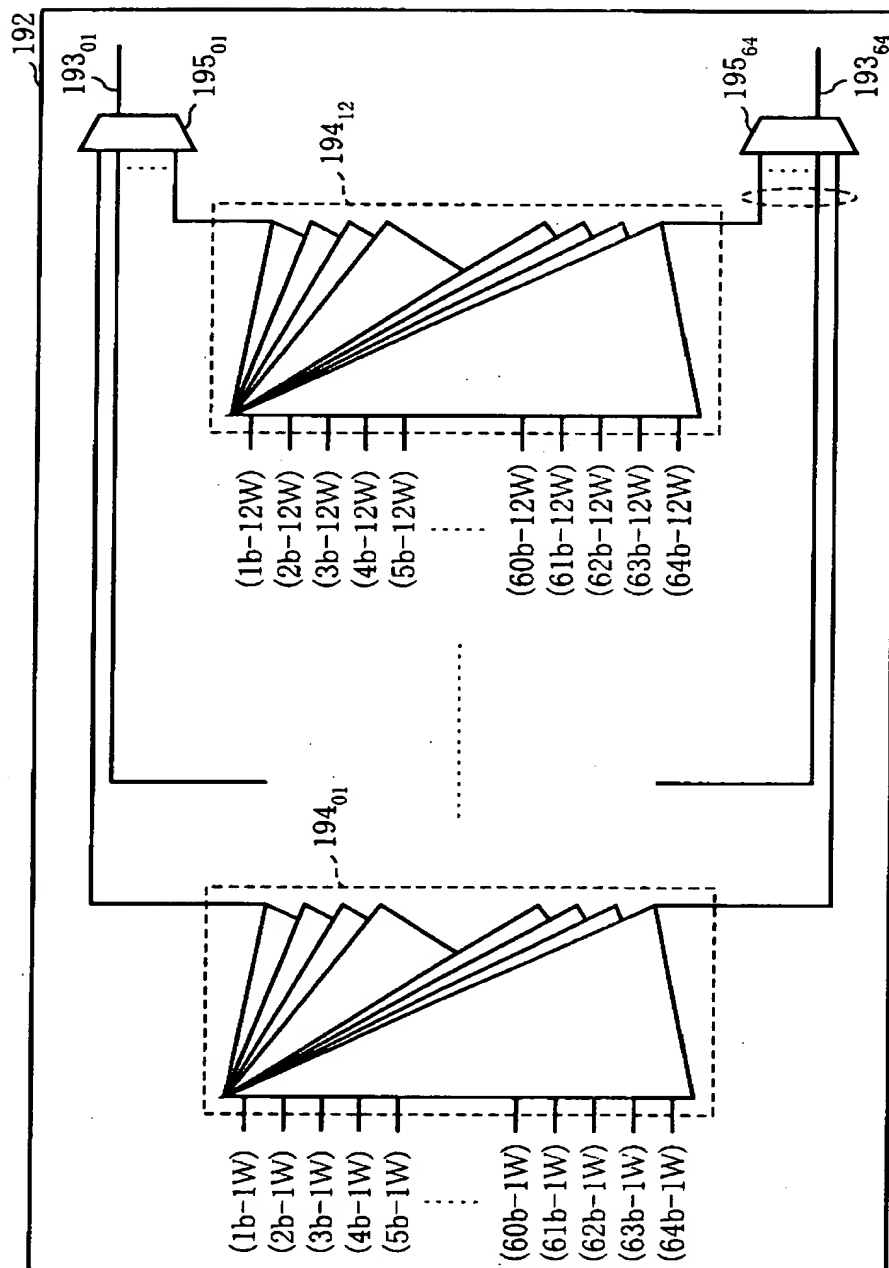
【図 23】



【図 2 4】



【図 2 5】



【書類名】 要約書

【要約】

【課題】 L S I の微細化の進む中で、低消費電力化を可能とする L S I としてのマトリクススイッチ回路を実現すること。

【解決手段】 マトリクススイッチ回路の主要部である第 3 回路部 2 1 3 は、1 2 個の第 1 回路部 2 1 1₀₀ ~ 2 1 1₁₁ をひとまとめにした第 2 回路部 2 1 2 を 6 4 個備え、第 2 回路部 2 1 2₀₀ ~ 2 1 2₆₃ とした構成となっている。第 1 回路部 2 1 1 は、それぞれ 4 0 G の入力データ 2 3 1 を 8 ビットパラレルで 6 2 2 M b p s ずつ 6 4 本に分けた単位データ (S T S - 1) を並列的に入力する 6 4 対 1 セレクタ 2 3 3 を備えている。6 4 対 1 セレクタ 2 3 3 は、6 4 本に分けられて入力された単位データのうちの特定の 1 本のデータを選択し、それぞれが 1 2 対 1 セレクタ 2 2 3 で時系列的に選択されることで個々の S T S - 1 2 すなわち 1 フレーム分の信号を選択し、これにより第 3 回路部 2 1 3 が 6 4 組の S T S - 1 2 を出力する。6 4 対 1 セレクタ 2 3 3 の存在により、スイッチを C M O S 回路で構成した場合には選択されていない回路部分の消費電力を抑えることができる。また、回路のレイアウトも単純化できる。

【選択図】 図 5

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 0 - 1 3 8 4 7 8
受付番号	5 0 0 0 0 5 8 2 5 4 8
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 2 年 5 月 1 2 日

< 認定情報・付加情報 >

【提出日】	平成12年 5月11日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社